

明細書

楽音発生装置

技術分野

[0001] 本発明は、波形メモリを複数で共有する機能を持った音源チップを備えている楽音発生装置に関する。

背景技術

[0002] 同時発音数を増やすための手段として、音源チップを複数使用するシステムがある。またこれらの構成では、波形メモリをその複数の音源チップが共有し、波形メモリのコストを抑える方法がとられることがある。

[0003] 例えば、少なくとも2チップの音源を有しており、システムカウンタを同期させて(共通クロックでメモリアクセスして)共通の波形メモリから、夫々のデータを読み出して楽音を発生させる構成が、電子楽器などで使用されている。

[0004] 図22は、波形メモリ1002を共用する2チップ音源1000及び1001が用いられる(2チップモード時)楽音発生装置の従来例を示している。ここではマスタ音源1000からのアドレスバスを波形メモリ1002に接続し、該波形メモリ1002からのデータバスを、マスタ音源1000及びスレーブ音源1001に接続している。

[0005] ここでマスタ音源から波形メモリ1002へのアドレスバスは24bitバスであるが、図23に示すように、スレーブ音源1001とマスタ音源1000とはシリアルで接続されており、スレーブ音源1001側でパラレルシリアル変換されて、1チャンネル時間に、6bitずつ4回に分けてシリアルでアドレスが転送され、マスタ音源1000側でシリアル-パラレル変換されて、24bitにして、スレーブアドレスがマスタ音源1000側に転送される。

[0006] そしてマスタ音源1000が1チャンネル演算の前半及び後半の2度のメモリアクセスをし、その前半のメモリアクセスで読み出されるデータをマスタ音源1000が、また後半のメモリアクセスで読み出されるデータをスレーブ音源1001が受信する。

[0007] 他方図24は、上記のような構成において、外部からの信号でモード変更が行われ、音源1000だけを使用する1チップモード(単体音源モード)に変更された状態を示している。この際、図25のタイミングチャートで示されるように、音源1000が波形メモ

リ1002へアドレスを出力し、それから該音源1000にデータが出力される。その後しばらく何の処理もない状態が継続し、次のチャンネルでは、以上と同じ処理が繰り返される。

発明の開示

発明が解決しようとする課題

- [0008] 複数の音源チップを備えているシステムにおいて、同時発音数を増やすために、上記音源を単体で使用する場合もある。この時、主たる音源(マスタ音源)以外の音源(スレーブ音源)用に割り当てられたアクセスタイミングが空いてしまうことになる。
- [0009] この場合、使用していないアクセスタイミングをそのままにする(後述する図10中段左側)か、或いはマスタ音源のアクセスタイミングを延長して(後述する図10中段右側)、遅いメモリの使用を可能にするなどの方法がとられることがある。
- [0010] しかし、マスタ音源のアクセスタイミングだけでアクセス時間が十分満たされている場合には、アドレスタイミングの延長は意味がない。またスレーブ音源のアクセスタイミングを活用したとしても、再生される楽音への制御のし易さや音質などの向上はない。
- [0011] 他方、複数の音源を使用して同時発音数を増やし、上記のように時分割演算を行う構成では、一般に、チャンネル数が多くなると、1回のメモリアクセスサイクル時間が短くなる。このメモリアクセスサイクル時間の内訳は、波形メモリにアドレスが入力されるまでのアドレス出力遅延時間、アドレスアクセス時間(アドレスを出力してからデータが出力されるまでの時間)及びセットアップ時間(正常に入力を読み込ませるためにクロックの有効なエッジ以前に入力信号を安定させていかなければならない最小時間)があり、そのうち、アドレスアクセス時間にほとんどが割かれてしまい、その時間経過後に波形メモリから出力されるデータの取得有効時間が短くなっている。
- [0012] しかも、波形メモリを共用する2チップ音源が同時に使用される上記従来構成では、2チップモード時に、その基盤上の配線の影響や、クロック入力バッファの閾値の差により、図26(a)(e)(f)に示すように、2チップ音源のシステムクロック間にスキューが発生している場合もあり、完全な同期動作をしているとは言い難い。
- [0013] データ取得の有効な時間が少なくなっている状況でスレーブ音源がデータを受信

する場合、2チップ音源のシステムクロック間にスキューがある[上記図26(a)と(e)の間、又は(a)と(f)の間]と、正しいデータを得られない危険がある。上記図26の場合では、例えば、1クロックが27nsとして、1メモリアクセスを4クロック、118nsで行う時、アドレスの最大出力遅延時間が23ns、アドレスアクセス時間が90ns、データの最小セットアップ時間が5nsであると、計118nsとなるため、マスタ音源とスレーブ音源のクロックの位相のずれは、許されない状態になる。

- [0014] これを回避するために高速なメモリを使用して十分なマージンを稼ぐこともあるが、高速なメモリはビット単価が高く、実際的ではない。そもそもスレーブ音源の有無だけで採用できるメモリが異なることは好ましくない。
- [0015] 本発明は、以上のような問題に鑑み創案されたもので、そのため本発明の第1の目的は、使用していないスレーブ音源のアクセスタイミングを有效地に利用できる楽音発生装置を提供せんとするものである。
- [0016] また本発明の第2の目的は、複数の音源が共通の波形メモリのデータを読み出す構成で、メモリアクセスサイクル時間が短い場合に、メモリアクセスのマスタとして動作する音源以外の音源が確実にデータを取得できる楽音発生装置を提供せんとするものである。

課題を解決するための手段

- [0017] そのため本発明の構成は、
 - 波形メモリに対して、1チャンネルのタイミング中に複数のアクセスタイミングで波形読み出しが可能な音源を備えた楽音発生装置であって、
 - 音源単体使用モードと複数使用モードの切り替えを行うモード切替手段と、
 - 指定したピッチを累算する累算器と、
 - 累算器の上位データ(整数部)を連続したアドレスに加工する上位アドレス加工手段と、
 - 他の音源からの波形メモリへのアドレスを受信し記憶する他音源アドレス記憶手段と、
 - 上記モード切替手段によるモード切り替えとアクセスタイミングに応じて、上記累算器の上位データが示すアドレスと他音源アドレス記憶手段に記憶されたアドレスとを

切り替えて出力すると共に、音源単体使用モードの時は、上記累算器の上位データが示すアドレス及びそのアドレスに連続する上位アドレス加工手段で加工されたアドレスを出力するアドレス切替出力手段と、

出力されたアドレスに基づいて、波形メモリから読み出された波形データを記憶する波形データレジスタと、

前のアクセスタイミングで読み出され該波形データレジスタに記憶されている波形データを、補間ポイント数-1だけ記憶するサンプルバッファと、

補間係数データを記憶する補間係数記憶手段と、

上記累算器の下位データ(少数部)に基づいて補間係数記憶手段から対応する補間係数を抽出する補間係数抽出手段と、

上記波形データレジスタ及びサンプルバッファに夫々記憶された波形データに対し、補間係数抽出手段により抽出された補間係数に基づいて該データの補間を行うサンプル補間手段と、

サンプル補間手段に入力するサンプルバッファ及び波形データレジスタに記憶された波形データを、上記モード切替手段のモード切替信号及び累算器の上位データが示すアドレス値に応じて、サンプルバッファ及び波形データレジスタの中から選択する選択手段と

を有することを基本的特徴としている。

[0018] 上記構成によれば、モード切替手段で、音源単体使用モードに設定されている場合に、使用されていない他の音源のアクセスタイミングを、使用している音源のアクセスタイミングとして割り当てることで、再生ピッチの範囲の上限を1オクターブ拡張できるようになる。

[0019] また請求項3に係る発明の構成は、

波形メモリから共通クロックでメモリアクセスを行い、メモリアクセスのマスタとして動作するマスタ音源と同アクセスのスレーブとして動作するスレーブ音源とを備える楽音発生装置であって、

上記スレーブ音源には、波形読み出しスレーブアドレスをマスタ音源へ送信する手段と、

上記マスタ音源には、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段と、

上記マスタ音源には、波形メモリから読み出されたスレーブ用波形データをスレーブ音源に送信する手段と、

上記スレーブ音源には、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段とを有しており、

上記マスタ音源は、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリに出力し、1チャンネルの演算時間の後半に、上記スレーブ音源の送信手段から送信され、その受信手段で受信されたスレーブアドレスを、同じく波形メモリに出力すると共に、同じく上記マスタ音源は、1チャンネルの演算時間の後半に、波形メモリから受信したスレーブ用波形データを、マスタ音源の上記送信手段に供給し、スレーブ音源の受信手段に向けて送信することを特徴としている。

[0020] 上記構成によれば、上記マスタ音源は、複数音源モード時に、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリに出力し、1チャンネルの演算時間の後半に、上記スレーブ音源の送信手段から送信され、その受信手段で受信されたスレーブアドレスを、同じく波形メモリに出力すると共に、同じく上記マスタ音源は、1チャンネルの演算時間の後半に、波形メモリから受信したスレーブ用波形データを、マスタ音源の上記送信手段に供給し、スレーブ音源の受信手段に向けて送信するため、スレーブ音源がスレーブ用波形データを取得するのに、メモリアクセスサイクル時間に左右されることはなくなる。すなわち、スレーブ音源が行うべきアドレス出力及びスレーブ用波形データの取得は、マスタ音源が主体となって行っており、メモリアクセスサイクル時間に関係なく、スレーブ音源は、確実にスレーブ用波形データを取得することができるようになる。

[0021] 上記の構成で、上記マスタ音源の、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段は、反転クロックのエッジで受信し、また上記スレーブ音源の、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段は、反転クロックのエッジで受信するようにすると良い(請求項4)。

[0022] 上記請求項3は、単純に言えば、マスタ音源とスレーブ音源があり、両音源が波形メモリを共有しつつ、マスタ音源が波形メモリアクセスを制御し、マスタ・スレーブ音源間で、シリアル送受信を実行する構成である。以上の構成に対し、さらに上記請求項4のような構成を採用することにより、シリアルデータ受信のタイミングを、通常のクロック立上がりだけではなく、立下り(反転クロックエッジ)で指定できて、1チャンネル(シリアル転送に使用する)時間が少ないクロックの場合(後述する本実施例のように8クロックしかない場合など)に、細かなタイミング設定ができるようになる。

発明の効果

[0023] 本発明の請求項1乃至請求項2記載の楽音発生装置によれば、使用されていない他の音源のアクセスタイミングの有効利用を図り、再生ピッチの範囲の上限を1オクターブ拡張できるようになるという優れた効果を奏し得る。

[0024] また、本発明の請求項3記載の楽音発生装置によれば、複数の音源が共通の波形メモリのデータを読み出す構成で、メモリアクセスサイクル時間が短い場合でも、メモリアクセスのマスタとして動作するマスタ音源以外のスレーブ音源に対し、確実にデータを取得させることができるようになるという効果を奏すことになる。

図面の簡単な説明

[0025] [図1]本発明に係る波形再生装置の構成が用いられた電子楽器の回路概略図である。

[図2]マスタ音源1000の機能ブロック構成を示す説明図である。

[図3]累算器102の構成を示す説明図である。

[図4]上位アドレス加工手段103とアドレス切替出力手段105の構成を示す説明図である。

[図5]補間係数カーブの記憶される補間係数記憶手段108の構成の一例を示す説明図である。

[図6]従来の構成における該補間係数カーブを用いた4ポイント補間処理の構成の一例を示す説明図である。

[図7]本発明の第1実施例構成における上記補間係数カーブを用いた4ポイント補間処理の構成を示す説明図である。

[図8]選択手段111の構成とその入出力信号の状態を示す説明図である。

[図9]本実施例構成の2チップモードにおけるマスタ音源1000及びスレーブ音源1001から波形メモリ1002へのアクセスタイミング状態を示すタイミングチャートである。

[図10]本実施例構成及び従来構成の1チップモードにおけるマスタ音源1000から波形メモリ1002へのアクセスタイミング状態を示すタイミングチャートである。

[図11]本発明の第2実施例構成における読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。

[図12]2点補間の場合の補間係数データの記憶状態を示す説明図である。

[図13]本発明の第3実施例構成における、同じく読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。

[図14]本発明に係る波形再生装置の構成が用いられた電子楽器の回路概略図である。

[図15]波形メモリ1002に対する、2チップモード時のマスタ音源1000及びスレーブ音源1001に備えられる本発明の一実施例構成を示す説明図である。

[図16]波形メモリ1002に対して、マスタ音源1000、及び該マスタ音源1000を介してのスレーブ音源1001、夫々のメモリアドレス出力及び波形データ読み出しのタイミングチャートである。

[図17]マスタ音源1000とスレーブ音源1001との間にスキューが生じている場合に、本実施例構成で、マスタ音源1000から波形メモリ1002に入力されるアドレスと波形メモリ1002からマスタ音源1000に出力される波形データの状態、及びマスタ音源1000の送信手段142から出力されるスレーブ波形用データのスレーブ音源1001の受信手段143によるデータ取り込み状態を示すタイミングチャートである。

[図18]本実施例構成によるスレーブ音源の波形データ取り込み状態を示す説明図である。

[図19]音源に他の電子楽器機能の構成を備えたシステムLSI構成により電子楽器を構成する場合の1チップモード及び2チップモードにおける端子接続状態を示す説明図である。

[図20]切替手段を用いて図19の構成に改良を加えた場合の、1チップモードにおけ

る端子接続状態を示す説明図である。

[図21]切替手段を用いて図19の構成に改良を加えた場合の、2チップモードにおける端子接続状態を示す説明図である。

[図22]波形メモリ1002を共用するチップ音源100及び101が用いられる2チップモード時の従来構成のマスタ音源1000とスレーブ音源1001間のアドレス出力とデータの入力状態を示す説明図である。

[図23]上記従来構成における、マスタ音源1000及びスレーブ音源1001、夫々のメモリアドレス出力及び波形データ読み出しのタイミングチャートである。

[図24]従来構成における音源1000だけを使用する1チップモードに変更された状態を示す説明図である。

[図25]上記1チップモードに変更された場合の音源1000の状態を示すタイミングチャートである。

[図26]波形メモリを共用する2チップ音源が同時に使用される従来構成において、2チップモード時に、2チップ音源のシステムクロック間にスキューが発生している状態を示す説明図である。

符号の説明

[0026]	101	モード切替手段
	102	累算器
	103	上位アドレス加工手段
	104	他音源アドレス記憶手段
	105	アドレス切替出力手段
	106	波形データレジスタ
	107	サンプルバッファ
	108	補間係数記憶手段
	109	補間係数抽出手段
	110	サンプル補間手段
	110a～110d	乗算器
	110e	乗算器

111	選択手段
120	アキュムレータ
121	加算器
122	加算器
123	セレクタ
124	パレルシフタ
130	WAMtrレジスタ
131	LSB制御部
140、142	送信手段
141、143	受信手段
A	外部メモリアクセス回路
B	スレーブ音源用アドレス出力／データ入力
150	マスタ音源用データ出力／アドレス入力
160、160a、160b、170、170a、170b	切替手段
1000	マスタ音源
1001	スレーブ音源
1002	波形メモリ
1100	システムバス
1101	CPU
1102	ROM
1103	RAM
1104	操作パネル
1104a	パネルスキャン回路
1105	鍵盤
1105a	鍵盤スキャン回路
1106	D/A変換回路
1107	アンプ
1108	スピーカ

発明を実施するための最良の形態

[0027] 以下、本発明の実施の形態を図示例と共に説明する。

実施例 1

- [0028] 図1は、本発明に係る波形再生装置の構成が用いられた電子楽器(例えば電子オルガン)の回路概略図である。
- [0029] 本電子楽器は、上中下段の鍵盤及びフットペダルなどに夫々異なる音色が割り当てることができるようになっており、しかも鍵盤は、左右でスプリットされ、夫々の位置で同じく違う音色が設定できるようになっている。従って、これらの鍵盤などを押鍵すると、夫々の楽音が同時に発生するのに必要なチャンネル数は、32音色分のチャンネル数を超えることが多い。
- [0030] 本電子楽器は、図1に示すように、システムバス1100を介して、CPU1101、ROM1102、RAM1103、パネルスキャン回路1104a、鍵盤スキャン回路1105a、マスタ音源1000及びスレーブ音源1001が相互に接続されて構成されている。システムバス1100は、アドレス信号、データ信号又は制御信号等を送受するために使用される。
- [0031] CPU1101は、ROM1102に記憶されている制御プログラムに従って動作することにより本電子楽器の全体を制御する。
- [0032] 上記ROM1102は、上述した制御プログラムの他に、CPU1101が参照する種々のデータを記憶する。
- [0033] 上記RAM1103は、CPU1101が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM1103には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。なお、下記以外については、必要の都度説明する。
- [0034] (a) 音色設定フラグ:後述する操作パネル1104の設定により、マスタ音源1000やスレーブ音源1001から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。
- [0035] (b) 1チップモードフラグ:本電子楽器は、楽音の発生に関し後述するようにマスタ音源1000及びスレーブ音源1001と、それらが共用して使う波形メモリ1002が備え

られているが、上記音色設定フラグの設定によって、マスタ音源だけで楽音を発生させる場合や、演奏者の操作パネル1104の操作により、音色設定フラグが変更され、マスタ音源だけで楽音を発生させる場合がある。その場合このフラグが立つことになる(=1)。この時後述するモード切替手段101は、該1チップモードフラグを参照し、モード切替信号(SNGF4)を出力する(0:2チップモード、1:1チップモード)。

- [0036] パネルスキャン回路1104aには、操作パネル1104が接続されている。操作パネル1104には、例えば同時発音数を増やす、例えば64チャンネルから逆に32チャンネルにするなど、音源を単体(マスタ音源1000だけ)で使用する場合があり(使用する音色数が少ない場合など)、その場合は、該操作パネル1104の音色選択により音色設定フラグの設定がなされ、32チャンネルなどのチャンネル設定を行うことがある。また、上述のように、演奏者の操作パネル1104の操作により、音色設定フラグが変更され、マスタ音源だけで楽音を発生させる場合もある。ピッチ変化の範囲が広い音色もあり、その場合マスタ音源だけで楽音を発生させる場合がある。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。
- [0037] 上記チャンネル設定や演奏者の操作パネル1104の操作により、上記1チップモードフラグが立つと、マスタ音源1000だけが使用される状態となる。またそのチャンネル設定変更や操作パネル1104の操作により、1チップモードフラグが解除されると、マスタ音源1000及びスレーブ音源1001により、32チャンネルを超えるチャンネル設定ができるようになる。
- [0038] 上記パネルスキャン回路1104aは、CPU1101からの指令に応答して操作パネル1104上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス1100を介してCPU1101に送られる。このパネルデータは、操作パネル1104上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。
- [0039] また、パネルスキャン回路1104aは、CPU1101から送られてきた表示データを操

作パネル1104上のLED表示器及びLCDに送る。これにより、CPU1101から送られてきたデータに従って、LED表示器が点灯／消灯され、またLCDにメッセージが表示される。

- [0040] 上記鍵盤スキャン回路1105aには、鍵盤1105で生成される押鍵データを検出する。すなわち、これらの鍵盤1105には、夫々2点スイッチが設けられており、任意の鍵盤1105が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キーナンバ)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路1105aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路1105aは、2点スイッチからの押鍵データを受け取ると、それをCPU1101に送る。
- [0041] 鍵盤スキャン回路1105aからの押鍵データは、CPU1101により、RAM1103上の音色設定フラグ及び1チップモードフラグが参照され、夫々のチャンネルに対応するマスタ音源1000、乃至マスタ音源1000及びスレーブ音源1001に送られることになる。
- [0042] マスタ音源1000及びスレーブ音源1001は、1つの波形メモリ1002を共用し、該波形メモリ1002に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する。ただし、上記スレーブ音源1001は、通常の音源構成を有しているが、そこから発せられる波形メモリ1002の読み出しアドレスは、マスタ音源1000に入力され、後述するように、他音源アドレス記憶手段104に一時的に記憶される。また波形メモリ1002から読み出された原データは夫々の音源1000及び1001に入力される。さらに、これらの音源から出力された波形データは、D/A変換回路1106に入力され、デジタル－アナログ変換され、アンプ1107で増幅され、スピーカ1108から外部に楽音として放出される。
- [0043] 上記マスタ音源1000は、図2に示すように、モード切替手段101と、累算器102と、上位アドレス加工手段103と、他音源アドレス記憶手段104と、アドレス切替出力手

段105と、波形データレジスタ106と、サンプルバッファ107と、補間係数記憶手段108と、補間係数抽出手段109と、サンプル補間手段110と、選択手段111とを備えている。

- [0044] 該マスタ音源1000は、専用のLSIで設計されており、図示しないが、内部に、バッファやレジスタと、補間時の所定の係数を記憶する固定記憶部などから構成されている。それによって、上記各手段が構成されることになる。
- [0045] そのうちモード切替手段101は、上記CPU1101によりRAM1103上に設定された1チップモードフラグを参照し、モード切替信号(SNGF4)を、後述するアドレス切替出力手段105、累算器102のセレクタ123及び選択手段111を構成するAND回路の入力側へ出力する[0:2チップモード(=音源複数使用モード)であって、マスタ音源1000及びスレーブ音源1001を使用することを意味する、1:1チップモード(=音源単体使用モード)であって、マスタ音源1000のみを使用することを意味する]。
- [0046] 累算器102は、後述する図3に示すような構成により、指定したピッチが出力され、その値を従前の値と累算するアキュムレータ120及び加算器121を主な構成としている。すなわち、同図に示すように、すなわち、上記固定記憶部に浮動小数点形式のピッチパラメータ(omg)が記憶されており、それが読み出された際、その指数部は、後述するバレルシフタ124に入力され、その仮数部は、乗算器122及びセレクタ123に直接入力される。乗算器122では、仮数部の値を2倍にしており、セレクタ123は、上記モード切替手段101によるモード切替信号(SNGF4)によって、2チップモードの時は、仮数部のそのままの値を、また1チップモードの時は、仮数部を2倍した値をバレルシフタ124に入力している。そして該バレルシフタ124により、固定小数点形式へ変換された後、指定したピッチとして上記加算器121に入力される。それから後は、上述のように、該ピッチの値が従前の値と累算される。1チップモードの時に、仮数部を2倍した値をバレルシフタ124に入力しているのは、ピッチパラメータは設定可能な最大値で正規化されており、2チップモードに比べ1チップモードは絶対値で倍のピッチが設定可能になるためである。
- [0047] 上位アドレス加工手段103は、累算器102の上位データ(整数部)を連続したアドレスに加工する。すなわち、図4に示すように、該上位アドレス加工手段103は、レジ

スタ(WAMtr)30及び LSB制御部131から構成されており、累算器102から出力された上位データ(整数部)を偶数アドレス値に丸め(LSB制御部131は整数部最下位ビットの値を0にマスクする加工を行う)最初のアドレスとし、それに続くアドレスを生成する(LSB制御部131は整数部最下位ビットの値を1にマスクする加工を行う)。すなわち、ここで生成されたアドレスは、波形メモリアクセスのタイミングにより、同一チャンネル前半時(タイミング制御信号0)に上位アドレス加工手段103から出力された最初のアドレスがアドレス切替出力手段105に入力された(SNGF4MA)後、同一チャンネル後半時(タイミング制御信号1)に、同じくアドレス切替出力手段105に入力される(SNGF4MA)。

- [0048] 他音源アドレス記憶手段104は、スレーブ音源1001から出力される波形読み出しアドレス値を受信し記憶する。このアドレス値は、モード切替手段101のモード設定信号が0である2チップモードの際、波形メモリ1002アクセスのタイミング信号が1の同一チャンネル後半に変わった場合に、後述するアドレス切替出力手段105からスレーブ音源1001の波形読み出しのアドレスとして出力されることになる。
- [0049] アドレス切替出力手段105は、上記モード切替手段101によるモード切替信号(SNGF4)と波形メモリ1002アクセスのタイミングに応じて、上記累算器102の上位データが示すアドレス(マスタ音源1000の読み出しアドレス)と他音源アドレス記憶手段104に記憶されたアドレス(スレーブ音源1001の読み出しアドレス)とを切り替えて出力する(SNGF2MA:2チップモード、すなわちSNGF4=0の時のアドレス)。また上記モード切替手段101によるモード切替信号(SNGF4)が1チップモード(音源単体使用モード)を示す時(すなわちSNGF4=1の時)は、上記累算器102の上位データが示すアドレスを上位アドレス加工手段103で加工されたアドレス(LSB制御部131により最下位ビットが0にマスク加工された整数部の値)、及びそのアドレスに連続する上位アドレス加工手段103で加工されたアドレス(最初のアドレスに続くアドレス;LSB制御部131により最下位ビットが1にマスク加工された整数部の値)を出力する(SNGF4MA)。
- [0050] 波形データレジスタ106は、図2及び図4に示すようにして出力されたアドレスに基づいて、波形メモリ1002から読み出された波形データを記憶する。後述する図5一

図7では、DWa及びDWbで示される。

- [0051] サンプルバッファ107は、前のアクセスタイミングで読み出され該波形データレジスタ106に記憶されている波形データを、(補間ポイント数-1)だけ記憶するバッファである。例えば、後にサンプル補間手段110によって行われる補間処理が4ポイント補間処理の場合は、新しく入力されてくる前の3つの波形データを記憶しておく。後述する図5ー図7では、Z1、Z2及びZ3で示される。また2ポイント補間処理の場合は、新しく入力されてくる前の1つの波形データを記憶しておくことになる。尚、波形データにおける4ポイント補間処理とは、前後の2ポイントの値が求められることで、その間の1ポイントの値を補間値とするという処理である。また同2ポイント補間処理とは、ポイントとポイントの間の値が、補間しようとする値として求められる処理である。
- [0052] 補間係数記憶手段108は、図5に示すような補間係数カーブを記憶してある。
- [0053] 補間係数抽出手段109は、上記累算器102の下位データ(少数部)に基づいて、上記補間係数記憶手段108から、対応する補間係数を抽出する。すなわち、図5の例では、補間係数記憶手段108に512ワード(9bit)で上記補間係数カーブが記憶されており、補間係数カーブのメモリアドレスが0ー127、128ー255、256ー383、384ー511の4つのグループに分類されていれば、累算器102から出力される小数部は、下位7bitあれば、同時に4つの補間係数を抽出することができる。すなわち、1つ目の補間係数C0は、 $0 + (0\sim 127)$ のアドレスの値の係数値が、2つ目C1は、 $128 + (0\sim 127)$ のアドレスの値の係数値が、3つ目C2は、 $256 + (0\sim 127)$ のアドレスの値の係数値が、4つ目C3は、 $384 + (0\sim 127)$ のアドレスの値の係数値が、抽出される。
- [0054] 通常の4ポイント補間を行う従来の構成では、図6に示すように、波形メモリ1002から読み出されてレジスタMWpDを介して、波形データレジスタDWaに記憶された波形データに補間係数C0が乗算され、それ以前にサンプルバッファZ1、Z2及びZ3に読み出された波形データの値に、夫々補間係数C1、C2及びC3の値が乗算され、最後にこれらの値が累算されて波形データとして出力されることになる(ここでは、1サンプル進行毎に波形データレジスタDWaに記憶されていたデータは、サンプルバッファZ1に、サンプルバッファZ1に記憶されていたデータは、サンプルバッファZ2に、

サンプルバッファZ2に記憶されていたデータは、サンプルバッファZ3に、シフトし更新される)。本発明の構成の場合は後述する図7で説明する。

- [0055] サンプル補間手段110は、図2に示すように、上記波形データレジスタ106及びサンプルバッファ107に夫々記憶された波形データに対し、補間係数抽出手段109により抽出された補間係数に基づいて、該データの補間を行う。より具体的な構成は、後述する図7に示されるように、乗算器110a～110dと、累算器110eとにより構成される。この補間方法については後述する。
- [0056] 選択手段111は、後述する図8のCsel信号を出力するAND回路で構成され、サンプル補間手段110の乗算器110a～110dに入力するサンプルバッファ107及び波形データレジスタ106に記憶された波形データを、上記モード切替手段101のモード切替信号及び累算器102の上位データが示すアドレス値のLSBに応じて、サンプルバッファ107及び波形データレジスタ106の中から選択する。その状態を、図7及び図8を用いて説明する。
- [0057] 本実施例のサンプル補間手段110で行われる補間も、基本的には4ポイント補間である。図7に示すサンプル補間手段110の乗算器110a～110dに保持されるCa、Cb、Cc、Cdはいずれも、補間係数抽出手段109から抽出された補間係数である。またレジスタMWpDには、波形メモリ1002から読み出された波形データが取り込まれる。尚、図中DWa及びDWbは、上記波形データレジスタ106であり、またZ1、Z2及びZ3は、サンプルバッファ107である。
- [0058] 2チップモードの時であれば、図9に示すように、波形データレジスタDWaには、上記アドレス切替出力手段105により、同一1チャンネル時間の前半にマスタ音源1000の累算器102の上位アドレス(整数部:SNGF2MA)で指定され読み出された波形データと、上記アドレス切替出力手段105により、同一1チャンネル時間の後半にマスタ音源1000の他音源アドレス記憶手段104に記憶されているアドレス(SNGF2MA)で指定され読み出された波形データとが、順次取得され、もう一方の波形データレジスタDWbは使用されない。
- [0059] また1チップモードの時であれば、波形データレジスタDWaには、上記アドレス切替出力手段105により、上位アドレス加工手段103から出力される最初のアドレス(L

SB制御部131により最下位ビットが0にマスク加工された整数部の値:SNGF4MA)で指定され、同一1チャンネル時間の前半に読み出された波形データが取得され、また波形データレジスタDWbには、同じくアドレス切替出力手段105により、上位アドレス加工手段103により加工された最初のアドレスに連続するアドレス(最初のアドレスに続くアドレス;LSB制御部131により最下位ビットが1にマスク加工された整数部の値:SNGF4MA)で指定され、同一1チャンネル時間の後半に読み出された波形データが取得される。

- [0060] このような波形データの取得の選択は、上述のように、選択手段111によってなされるが、そのCsel信号の切替を、図8を使用して説明する。すなわち、選択手段111を構成するAND回路の入力側の一方には、マスタ音源1000の累算器102から出力された上位アドレス(整数部)の LSB(最下位ビット;It0)が、またその入力側の他方には、上記モード切替手段101のモード切替信号(SNGF4;0:2チップモード、1:1チップモード)が、夫々入力信号として取り込まれる。
- [0061] 上述のように、モード切替信号(SNGF4)が0の場合は、2チップモードであり、波形データレジスタDWaだけが使用され、上位アドレスのLSB(It0)が0及び1であっても、Csel信号出力は0であり、上述の図9に示すように、波形データレジスタDWaには、上記アドレス切替出力手段105により、同一チャンネル時間の前半にマスタ音源1000の累算器102の上位アドレス(整数部)で指定され読み出された波形データと、上記アドレス切替出力手段105により、同一チャンネル時間の後半にマスタ音源1000の他音源アドレス記憶手段104に記憶されているアドレスで指定され読み出された波形データとが、順次取得され、サンプリングバッファZ1、Z2及びZ3に記憶されている従前の波形データと共に、夫々補間係数Ca、Cb、Cc及びCdが乗算されて出力される。
- [0062] 他方モード切替信号(SNGF4)が1の場合は、1チップモードであり、波形データレジスタDWa及びDWbが共に使用される。
- [0063] 上位アドレスのLSB(It0)が0の時Csel信号出力は0であり、波形データレジスタDWaに読み出された同一チャンネル時間の前半に読み出された波形データ、並びにサンプルバッファZ1、Z2及びZ3に記憶された波形データが夫々出力されて、上記

乗算器110a～110dにより、補間係数Ca、Cb、Cc及びCdと乗算され、これらの乗算値が出力される。

- [0064] それが終了すると、図8の右下に記したように、波形データレジスタDWbに記憶されていたデータは、サンプルバッファZ1に、波形データレジスタDWaに記憶されていたデータは、サンプルバッファZ2に、サンプルバッファZ1に記憶されていたデータは、サンプルバッファZ3に、シフトし、更新される。本実施例構成では、3つのサンプルバッファの内、(累算器102のアドレスが)2サンプル進行した場合のみバッファが更新される。常に偶数・奇数の順でデータを読み込んでいないと、連続したサンプルにならないからである。よってLSB制御部131で常に偶数・奇数の順となるように制御している。
- [0065] 次に上位アドレスの LSB (lt0) が1の時 Csel 信号出力は1であり、波形データレジスタDWbに読み出された同一チャンネル時間の後半に読み出された波形データ、波形データレジスタDWaに読み出された同一チャンネル時間の前半に読み出された波形データ、並びにサンプルバッファZ1に記憶された波形データ、Z2に記憶された波形データが夫々出力されて、上記乗算器110a～110dにより、補間係数Ca、Cb、Cc及びCdと乗算され、これらの乗算値が出力される。
- [0066] それが終了すると、波形データレジスタDWbに記憶されていたデータは、サンプルバッファZ1に、波形データレジスタDWaに記憶されていたデータは、サンプルバッファZ2に、サンプルバッファZ1に記憶されていたデータは、サンプルバッファZ3に、シフトし、更新される。
- [0067] 1チップモードでは、2回のアクセスタイミング(1チャンネル時間)毎に演算を行う。よって、1チャンネル時間毎に上述の処理が繰り返されることになる。
- [0068] 以上の本実施例構成によれば、モード切替手段101がRAM1103上の1チップモードフラグを参照して、マスタ音源1000だけを使用する1チップモード(=0)の時に、アドレス切替出力手段105が、上位アドレス加工手段103から出力される最初のアドレスを、同一チャンネルの前半に波形メモリ1002にアクセスするアドレスとして出力し、また上位アドレス加工手段103によって該前半アドレスに連続するアドレスを、同一チャンネルの後半に波形メモリ1002にアクセスするアドレスとして出力することに

なる。これらのアドレスに基づいて、波形メモリ1002から波形データが波形データレジスタ106側に読み出される。

- [0069] 他方1チップモードであることを上記モード切替手段101から受けた選択手段111(図8のAND回路)は、累算器102の整数部(波形メモリ1002アドレスの整数部のLSB)が、0か1かによって、サンプル毎に、波形データレジスタ106及びサンプルバッファ107の波形データを選択し、サンプル補間手段110の乗算器110a～110dに出力することになる。
- [0070] また累算器102の小数部(7bit)に基づき、補間係数抽出手段109によって、補間係数記憶手段108に記憶されている補間係数カーブ(512ワード)から、4点の補間係数が抽出され、同じくサンプル補間手段110の乗算器110a～110dに出力することになる。
- [0071] 従って、該サンプル補間手段110の乗算器110a～110dでは、選択手段111から選択されて出力されてくる波形データレジスタ106のDWa及びサンプルバッファ107のZ1、Z2及びZ3、または波形データレジスタ106のDWb、DWa及びサンプルバッファ107のZ1、Z2の波形データに対し、抽出された補間係数C0、C1、C2及びC3が掛けられた上で出力され累算されて、1つの波形データとして出力されることになる。
- [0072] このように処理がなされると、図10の本発明に係るタイミングチャートに示すように、1チップモードの時には、あるtチャンネルの同一チャンネル時間中に、前半のメモリアクセス(TG1)による波形データと後半のメモリアクセス(TG2)による波形データが読み出され、使用されていないスレーブ音源1001のアクセスタイミングを、マスタ音源1000のアクセスタイミングとして割り当てることができるようになる。そのため、再生ピッチの範囲の上限を1オクターブ拡張可能となる。
- [0073] これに対し、従来構成では、同図の従来として表されたタイミングチャートに示されるように、使用していないスレーブ音源1001側のアクセスタイミングをそのままにする(図10中段左側)か、或いはマスタ音源1000のアクセスタイミングを延長する(図10中段右側)ことになる。
- ## 実施例 2
- [0074] 図11は、サンプル補間手段110による補間処理が2サンプル補間処理で行われる

場合の本発明に係る別実施例構成における、読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。また図12は補間係数記憶手段108に記憶される2点補間の場合の補間係数データである。最初の場合補間係数Aは0であり、補間係数Bは1であるが、Y軸方向の値で示される累算器102の小数部の値が大きくなると、次第に補間係数Aは上昇し、補間係数Bは下降する。途中でクロスして、補間係数Aは1となり、補間係数Bは0になる。その後は再び双方が反転して同じ状態を繰り返す。そして抽出された補間係数が2点補間を行う係数として、サンプル補間手段110に出力される。

- [0075] 以上の第2実施例構成においても、補間処理が2ポイント補間になるだけで、使用されていないスレーブ音源1001のアクセスタイミングを、マスタ音源1000のアクセスタイミングとして割り当てることができるようになるため、同様に、再生ピッチの範囲の上限を1オクターブ拡張可能となる。

実施例 3

- [0076] 図13は、サンプル補間手段110による補間処理が最初の実施例と同じく4サンプル補間処理で行われる場合の本発明に係る他の実施例構成における、読み出し波形データの補間処理部分だけを取り出して示す概略説明図である。上記第1実施例構成では、波形メモリ1002が16ビットバスで、1サンプル16ビットのデータが記憶されている状態である。それに対し本実施例では、同じく波形メモリ1002が16ビットバスで、1サンプル8ビットのデータが記憶されている構成である。従って、本実施例構成では、2チップモードの際に、夫々の音源用に2つの波形データが読み出される。また1チップモードの際には、1度のアクセスタイミングで、2つの波形データの読み出しを行い、波形データレジスタ106に、同一チャンネルの前半と後半のアクセスタイミングで、計4つの波形データが取得できることになる。そこで図7のDWa及びDWbとして示したレジスタは、DWa～DWdの4つが必要となる。また選択手段111の乗算器に出力される波形データレジスタ106及びサンプルバッファ107のデータは、DWd、DWc、DWb、DWa、Z1、Z2及びZ3の値のうち連続する4つのデータになる。

- [0077] 以上の第3実施例構成においても、波形データレジスタ106に、同一チャンネルの前半と後半のアクセスタイミングで、計4つの波形データが取得できるようになるだけ

で、使用されていないスレーブ音源1001のアクセスタイミングを、マスタ音源1000のアクセスタイミングとして割り当てることができるようになるため、このような構成においても同様に、再生ピッチの範囲の上限を1オクターブ拡張可能となる。

実施例 4

- [0078] 図14は、本発明に係る波形再生装置の構成が用いられた電子楽器(例えば電子オルガン)の回路概略図である。
- [0079] 本電子楽器は、上中下段の鍵盤及びフットペダルなどに夫々異なる音色が割り当てるができるようになっており、しかも鍵盤は、左右でスプリットされ、夫々の位置で同じく違う音色が設定できるようになっている。従って、これらの鍵盤などを押鍵すると、夫々の楽音が同時に発生するのに必要なチャンネル数は、32音色分のチャンネル数を超えることも多い。
- [0080] 本電子楽器は、図14に示すように、システムバス1100を介して、CPU1101、ROM1102、RAM1103、パネルスキャン回路1104a、鍵盤スキャン回路1105a、マスタ音源1000及びスレーブ音源1001が相互に接続されて構成されている。システムバス1100は、アドレス信号、データ信号又は制御信号等を送受するために使用される。
- [0081] CPU1101は、ROM1102に記憶されている制御プログラムに従って動作することにより本電子楽器の全体を制御する。
- [0082] 上記ROM1102は、上述した制御プログラムの他に、CPU1101が参照する種々のデータを記憶する。
- [0083] 上記RAM1103は、CPU1101が各種処理を実行する際に、種々のデータを一時記憶するために使用される。このRAM1103には、レジスタ、カウンタ、フラグ等が定義されている。このうちの主なものについて説明する。
- [0084] (a) 音色設定フラグ:後述する操作パネル1104の設定により、マスタ音源1000やスレーブ音源1001から発生させる音色をどのチャンネルから発生させるかを示すためのデータを記憶する。
- [0085] (b) 1チップモードフラグ:本電子楽器は、楽音の発生に関し後述するようにマスタ音源1000及びスレーブ音源1001と、それらが共用して使う波形メモリ1002が備え

られているが、上記音色設定フラグの設定によって、マスタ音源1000だけで楽音を発生させる場合や、演奏者の操作パネル1104の操作により、音色設定フラグが変更され、マスタ音源1000だけで楽音を発生させる場合がある。その場合このフラグが立つことになる(=1)。この時CPU1101は、該1チップモードフラグを参照し、モード切替信号を出力する(0:2チップモード、1:1チップモード)。上記はモード切替信号を変更できる構成の説明であるが、モード切替信号は固定したままで使うこともある。

- [0086] パネルスキャン回路1104aには、操作パネル1104が接続されている。操作パネル1104には、例えば同時発音数を増やす際、例えば32チャンネルから64チャンネルにするなど、音源をマスタ音源1000とスレーブ音源1001の2つを使用する場合があり(使用する音色数が多い場合など)、その場合は、該操作パネル1104の音色選択により音色設定フラグの設定がなされ、64チャンネルなどのチャンネル設定が行われる。また、上述のように、演奏者の操作パネル1104の操作により、音色設定フラグが変更され、直接1チップモードフラグが変更されて、2チップモードにされる場合もある。尚、図示は省略するが、各スイッチの設定状態を表示するLED表示器、種々のメッセージを表示するLCD等が設けられている。
- [0087] 上記チャンネル設定や演奏者の操作パネル1104の操作により、上記1チップモードフラグが解除されると、マスタ音源1000及びスレーブ音源1001の2つが使用される状態となり、32チャンネルを超えるチャンネル設定ができるようになる。またそのチャンネル設定変更や操作パネル1104の操作により、1チップモードフラグが設定されると、音源100のみが使用され、32チャンネル以下のチャンネル設定がなされる。
- [0088] 上記パネルスキャン回路1104aは、CPU1101からの指令に応答して操作パネル1104上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス1100を介してCPU1101に送られる。このパネルデータは、操作パネル1104上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。
- [0089] また、パネルスキャン回路1104aは、CPU1101から送られてきた表示データを操

作パネル1104上のLED表示器及びLCDに送る。これにより、CPU1101から送られてきたデータに従って、LED表示器が点灯／消灯され、またLCDにメッセージが表示される。

- [0090] 上記鍵盤スキャン回路1105aには、鍵盤1105で生成される押鍵データを検出する。すなわち、これらの鍵盤1105には、夫々2点スイッチが設けられており、任意の鍵盤1105が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キーナンバ)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路1105aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路1105aは、2点スイッチからの押鍵データを受け取ると、それをCPU1101に送る。
- [0091] 鍵盤スキャン回路1105aからの押鍵データは、CPU1101により、RAM1103上の音色設定フラグ及び1チップモードフラグが参照され、夫々のチャンネルに対応するマスタ音源1000、乃至マスタ音源1000及びスレーブ音源1001に送られることになる。
- [0092] マスタ音源1000及びスレーブ音源1001は、1つの波形メモリ1002を共用し、該波形メモリ1002に対し共通クロックでメモリアクセスを行って、該波形メモリ1002に対して、読み出しアドレスを発生し、原データを読み出す。読み出された原データの補間処理を行った後、同じく同回路で生成された音色毎のエンベロープを乗算し、夫々の音色の波形データを設定されたチャンネル分累算して、外部に波形データとして出力する、通常の音源構成を有している。ただし、2チップモードの際は、さらに後述するように、両音源1000及び1001には、マスタとスレーブの間でのメモリアドレス及び波形データのやりとりに関し、外部の波形メモリ1002に対しての別途の構成を有している。すなわち、スレーブ音源1001が行うべきアドレス出力及びスレーブ用波形データの取得は、マスタ音源1000が主体となって行う構成となっている。
- [0093] さらに、これらの音源から出力された波形データは、D/A変換回路1106に入力され、デジタルアナログ変換され、アンプ1107で増幅され、スピーカ1108から外部に楽音として放出される。

- [0094] 2チップモード時に切り替えられた際、マスタ音源1000及びスレーブ音源1001には、波形メモリ1002に対して、図15に示すような構成が備えられることになる。すなわち、スレーブ音源1001には、波形読み出しスレーブアドレスをマスタ音源1000へ送信する手段140と、マスタ音源1000には、スレーブ音源1001の上記送信手段140から送信された上記スレーブアドレスを受信する手段141と、マスタ音源1000には、波形メモリ1002から読み出されたスレーブ用波形データをスレーブ音源1001に送信する手段142と、スレーブ音源1001には、マスタ音源1000の上記送信手段142から送信されたスレーブ用波形データを受信する手段143とが備えられる。これらの音源は、専用のLSIで設計されており、図示しないが、内部に、バッファやレジスタと、補間時の所定の係数を記憶する固定記憶部などから構成されていて、それによって、上記各手段が構成されることになる。さらに、後述する実施例5の構成も有している。
- [0095] マスタ音源1000は、図15及び図16に示すように、1チャネルの演算時間の前半に、演算で得られた(一定値を累算して得られる)マスタアドレス(図16ではマスタ用と図示)を波形メモリ1002に出力し、1チャネルの演算時間の後半に、上記スレーブ音源1001の送信手段140から送信され、その受信手段141で受信されたスレーブアドレス(図ではスレーブ用と図示)を、同じく波形メモリ1002に出力する。
- [0096] 他方上記マスタ音源1000は、1チャネルの演算時間の後半に、波形メモリ1002から受信したスレーブ用波形データを、マスタ音源1000の上記送信手段142に供給し、スレーブ音源1001の受信手段143に向けて送信する。
- [0097] 尚、前述のように、スレーブ音源1001の送信手段140とマスタ音源1000の受信手段141とはシリアルで接続されており、図16に示すスレーブアドレスA0～A23は、スレーブ音源1001側でパラレルシリアル変換されて、1チャネル時間に、6bitずつ4回に分けてシリアルでアドレスが転送され、マスタ音源1000側でシリアルパラレル変換されて、24bitにして、スレーブアドレスがマスタ音源1000側に転送される。しかもこのスレーブアドレスは、このチャネル以降に波形メモリ1002から読み出されるスレーブ用波形データのアドレスである。
- [0098] 他方、マスタ音源1000の送信手段142とスレーブ音源1001の受信手段143とは

これもまたシリアルで接続されており、図16に示すスレープ用波形データD0～D15は、マスタ音源1000側でパラレルシリアル変換されて、1チャンネル時間に、4bitずつ4回に分けてシリアルでデータが転送され、スレープ音源1001側でシリアル→パラレル変換されて、16bitにして、スレープ用波形データがスレープ音源1001側に転送される。しかもこのスレープ用波形データは、このチャンネルよりも前に波形メモリ1002から読み出され上記受信手段143に受信されたスレープ用波形データである。

- [0099] 以上のような実施例4の構成によれば、上記マスタ音源1000は、2チップモード時に、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリ1002に出力し、1チャンネルの演算時間の後半に、上記スレープ音源1001の送信手段140から送信され、その受信手段141で受信されたスレープアドレスを、同じく波形メモリ1002に出力し、上記マスタ音源1000が、1チャンネルの演算時間の後半に、波形メモリ1002から受信したスレープ用波形データを、マスタ音源1000の上記送信手段142に供給し、スレープ音源1001の受信手段143に向けて送信する。
- [0100] そのため、スレープ音源1001がスレープ用波形データを取得するのに、メモリアクセスサイクル時間に左右されることがなくなる。すなわち、スレープ音源1001が行うべきアドレス出力及びスレープ用波形データの取得は、マスタ音源1000が主体となって行っており、メモリアクセスサイクル時間に関係なく、スレープ音源1001は、確実にスレープ用波形データを取得することができるようになる。
- [0101] 図17は、同じ発信器(図示なし)から供給されるクロックで、マスタ音源1000とスレープ音源1001との間にスキューが生じている場合(前側にずれている場合スキュー有り_1、反対に後側にずれている場合スキュー有り_2)に、上記の本実施例4の構成で、マスタ音源1000から波形メモリ1002に入力されるアドレスと波形メモリ1002からマスタ音源1000に出力される波形データの状態(図17の上段側)、及びマスタ音源1000の送信手段142から出力されるスレープ用波形データのスレープ音源1001の受信手段143によるデータ取り込み状態を示すタイミングチャートである。ここで、マスタ音源1000の送信手段142から送信されたスレープ用波形データを受信するスレープ音源1001側の受信手段143は、反転クロックのエッジで受信している。同

様に、スレーブ音源1001の送信手段140から送信されたスレーブアドレスを受信するマスタ音源1000側の受信手段141も、反転クロックのエッジで受信している。

- [0102] 2チップモードの時に、マスタ音源1000とスレーブ音源1001の両音源が波形メモリ1002を共有しつつ、マスタ音源1000が波形メモリアクセスを制御し、マスタ・スレーブ音源間で、シリアル送受信を実行する構成において、さらにスレーブ音源1001側のシリアルデータ受信のタイミングを、反転クロックエッジで指定しているので、本実施例4のように8クロックしかない場合など、1チャンネル(シリアル転送に使用する)時間が少ないクロックの場合に、細かなタイミング設定ができるようになる。
- [0103] 上記構成で、以上のようにマスタ音源1000側の送信手段142が2クロック幅(1クロック=27ns)に1bit転送し、スレーブ音源1001の受信手段143において、反転クロックエッジでそのデータを取り込むことで、マスタ音源1000からの出力遅延を23ns、スレーブ音源1001側のセットアップ時間を5nsとして計算しても、図18に示すように、26nsという十分な余裕がある。従ってこの間にデータを取り込めば良いことになる。この点、図26に示した従来構成とは大きな効果の違いとなる。
- [0104] 以上の実施例4の構成では、マスタ音源1000及びスレーブ音源1001がいずれも1チップのLSIに夫々構成され、2チップモードの時に、上述のような両者の接続構成とされる実施例であり、1チップモードの際は、波形メモリ1002に対し、音源1000だけで、アドレス出力及びデータの取り込みを行う。

実施例 5

- [0105] 他方一般的な電子回路では、それまで別々の機能を備えた回路を基盤上で夫々接続することで構成していた場合の、消費電力の多さや処理スピードの低下傾向に対し、それらを改善するため、近年、別々の機能を奏する上記回路を複数纏めて、1チップのシステムLSI化する傾向がある(例えばテレビやパソコンの中の各別の機能ユニットを1チップ化するなどがある)。
- [0106] しかし、このような1チップ化が上記音源1000又は1001のLSIにも適用された上で、さらに同時発音数を増加させるために、同じ機能回路構成を有するこれらの音源チップを複数使用して、上記のように、スレーブ音源1001が行うべきアドレス出力及びスレーブ用波形データの取得を、マスタ音源1000が主体となって行わせるようにした

構成では、1チップに数十乃至百単位の端子が延出せしめられている。

- [0107] また、機能毎に1乃至複数の端子が該チップから延出せしめられたこれらのチップでは、上記のように複数組み合わせて使用された場合には、使用されない機能の端子も多数存在することになる。たとえば、図19に示されるように、出力端子数24及び入力端子数16の外部メモリアクセス回路A、出力端子数7及び入力端子数4のスレーブ音源用アドレス出力／データ入力B、出力端子数5及び入力端子数8の鍵盤スキャン回路1105a、出力端子数4及び入力端子数7のマスタ音源用データ出力／アドレス入力150の4機能を、1チップのシステムLSI化された音源で構成することとする。
- [0108] ここで鍵盤スキャン回路1105a機能について説明すると、128鍵分の鍵盤1105のスイッチのON／OFFデータを、4つずつ時分割スキャンした場合、5本のスキャン信号(5bit、同回路1105aの出力端子数は5、 $2^5 = 32$)をデコードして32タイミングを生成する。そして1度に4鍵チェックする。1鍵に2つのスイッチがあるので、同時に8つのON／OFFデータ(同回路1105aの入力端子数は8)を取り込むことになる(8bit)。
- [0109] 以上のような構成で、該音源が1チップモードで使用された場合、外部メモリアクセス回路A及び鍵盤スキャン回路1105aの機能は、夫々波形メモリ1002及び鍵盤1105に接続されることで使用されるが、他のスレーブ音源用アドレス出力／データ入力B及びマスタ音源用データ出力／アドレス入力150の機能は、無使用の状態となる(他の回路などに接続されない)。
- [0110] また2チップモードで使用された場合でも、マスタ音源側の外部メモリアクセス回路A及びスレーブ音源側の鍵盤スキャン回路1105aの機能が夫々使用され、また両音源を接続してスレーブ音源用アドレス入出力及びスレーブ用波形データの入出力用に、マスタ音源側のマスタ音源用データ出力／アドレス入力150とスレーブ音源側のスレーブ音源用アドレス出力／データ入力Bが互いに接続されて使用され、マスタ音源側のスレーブ音源用アドレス出力／データ入力B及び鍵盤スキャン回路1105aの機能、並びに、スレーブ音源側の外部メモリアクセス回路A及びマスタ音源用データ出力／アドレス入力150の機能は、夫々無使用の状態となる。
- [0111] 従って、1チップ化が上記音源LSIにも適用された上で、さらに同時発音数を増加

させるために、同じ機能回路構成を有するこれらの両音源チップを同一基盤上に使用して、上記のように、スレーブ音源が行うべきアドレス出力及びスレーブ用波形データの取得を、マスタ音源が主体となって行わせるように構成した場合、1チップに数十乃至百単位の端子が延出せしめられているため、それらの端子を接続する回路基盤の設計が煩雑になってしまふ。

- [0112] そこで、図20及び図21に示すように、夫々のチップの各機能毎の入出力端子の切替を行える切替手段160、160a、160b、170、170a及び170bを設けて、2チップモード時に、使用されていない端子（図20及び図21では、マスタ音源側の鍵盤スキャン回路1105aの各端子とスレーブ音源側の外部メモリアクセス回路Aの各端子）を、スレーブアドレス及びスレーブ用波形データの送受信用に割り当てて使用せるものとする。
- [0113] 以上のような構成にすることで、上記スレーブ用のアドレスやデータの送受信を入出力端子数の増加を抑えて行えるようになり、それによって、回路基盤設計の無駄を省くことも可能となる。ただし、図20の1チップモード時は、前図19の1チップモード時と回路的には変わっていない。
- [0114] 尚、本発明の楽音発生装置は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。
産業上の利用可能性
- [0115] 本発明の構成は、電子楽器だけではなく、広く一般に、波形メモリを複数で共有する機能を持った音源チップを備えている構成に適用可能である。

請求の範囲

[1] 波形メモリに対して、1チャンネルのタイミング中に複数のアクセスタイミングで波形読み出しが可能な音源を備えた楽音発生装置であって、

音源単体使用モードと複数使用モードの切り替えを行うモード切替手段と、

指定したピッチを累算する累算器と、

累算器の上位データを連続したアドレスに加工する上位アドレス加工手段と、

他の音源からの波形メモリへのアドレスを受信し記憶する他音源アドレス記憶手段と、

上記モード切替手段によるモード切り替えとアクセスタイミングに応じて、上記累算器の上位データが示すアドレスと他音源アドレス記憶手段に記憶されたアドレスとを切り替えて出力すると共に、音源単体使用モードの時は、上記累算器の上位データが示すアドレス及びそのアドレスに連続する上位アドレス加工手段で加工されたアドレスを出力するアドレス切替出力手段と、

出力されたアドレスに基づいて、波形メモリから読み出された波形データを記憶する波形データレジスタと、

前のアクセスタイミングで読み出され該波形データレジスタに記憶されている波形データを、補間ポイント数-1だけ記憶するサンプルバッファと、

補間係数データを記憶する補間係数記憶手段と、

上記累算器の下位データに基づいて補間係数記憶手段から対応する補間係数を抽出する補間係数抽出手段と、

上記波形データレジスタ及びサンプルバッファに夫々記憶された波形データに対し、補間係数抽出手段により抽出された補間係数に基づいて該データの補間を行うサンプル補間手段と、

サンプル補間手段に入力するサンプルバッファ及び波形データレジスタに記憶された波形データを、上記モード切替手段のモード切替信号及び累算器の上位データが示すアドレス値に応じて、サンプルバッファ及び波形データレジスタの中から選択する選択手段と

を有することを特徴とする楽音発生装置。

[2] 上記サンプル補間手段によるサンプル補間が、4ポイント補間で行われることを特徴とする請求項1記載の楽音発生装置。

[3] 波形メモリから共通クロックでメモリアクセスを行い、メモリアクセスのマスタとして動作するマスタ音源と同アクセスのスレーブとして動作するスレーブ音源とを備える楽音発生装置であつて、

上記スレーブ音源には、波形読み出しスレーブアドレスをマスタ音源へ送信する手段と、

上記マスタ音源には、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段と、

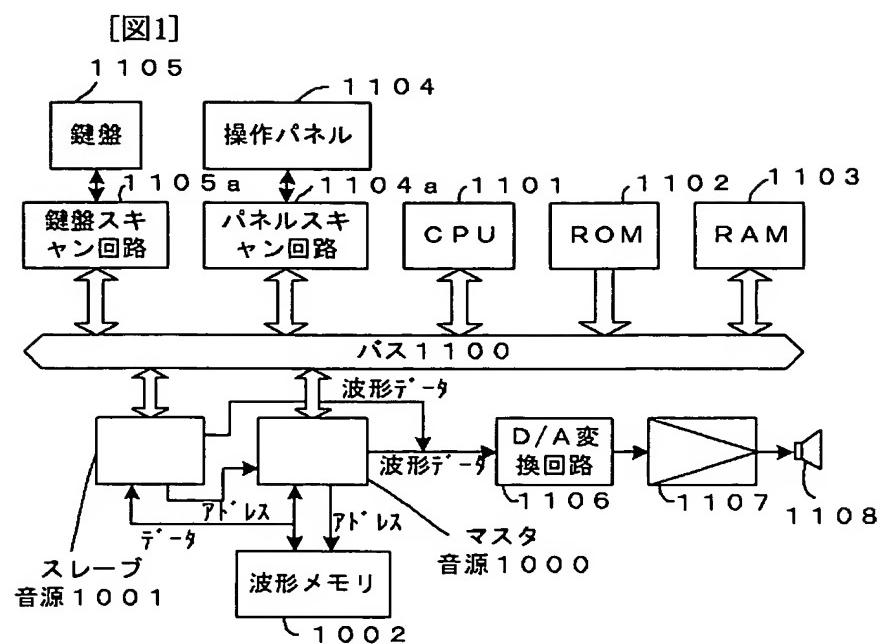
上記マスタ音源には、波形メモリから読み出されたスレーブ用波形データをスレーブ音源に送信する手段と、

上記スレーブ音源には、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段とを有しており、

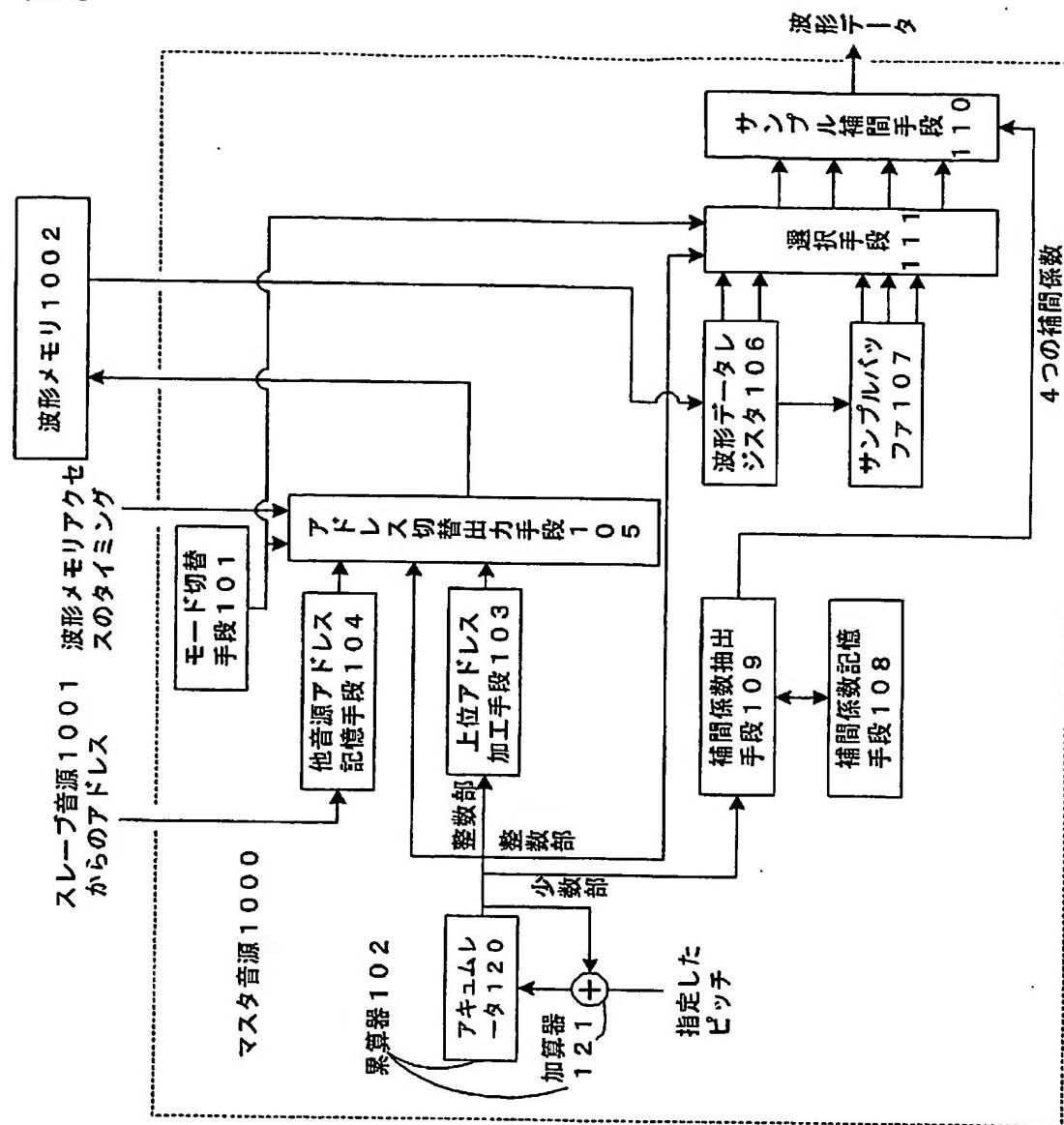
上記マスタ音源は、1チャンネルの演算時間の前半に、演算で得られたマスタアドレスを波形メモリに出力し、1チャンネルの演算時間の後半に、上記スレーブ音源の送信手段から送信され、その受信手段で受信されたスレーブアドレスを、同じく波形メモリに出力すると共に、同じく上記マスタ音源は、1チャンネルの演算時間の後半に、波形メモリから受信したスレーブ用波形データを、マスタ音源の上記送信手段に供給し、スレーブ音源の受信手段に向けて送信することを特徴とする楽音発生装置。

[4] 上記マスタ音源の、スレーブ音源の上記送信手段から送信された上記スレーブアドレスを受信する手段は、反転クロックのエッジで受信し、

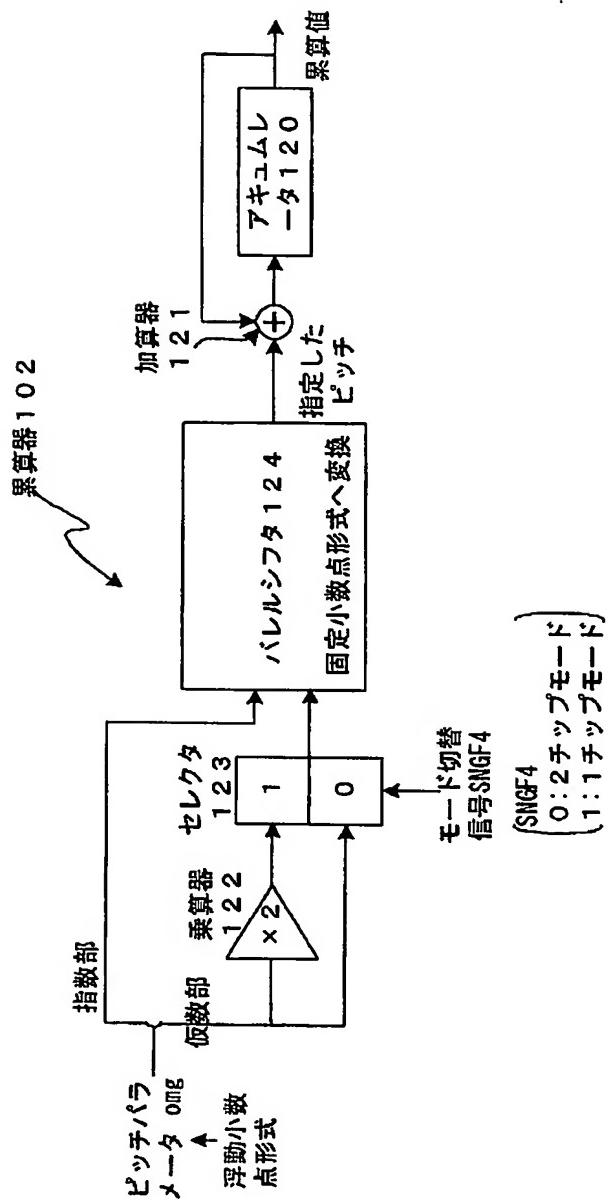
上記スレーブ音源の、マスタ音源の上記送信手段から送信されたスレーブ用波形データを受信する手段は、反転クロックのエッジで受信することを特徴とする請求項3に記載の楽音発生装置。



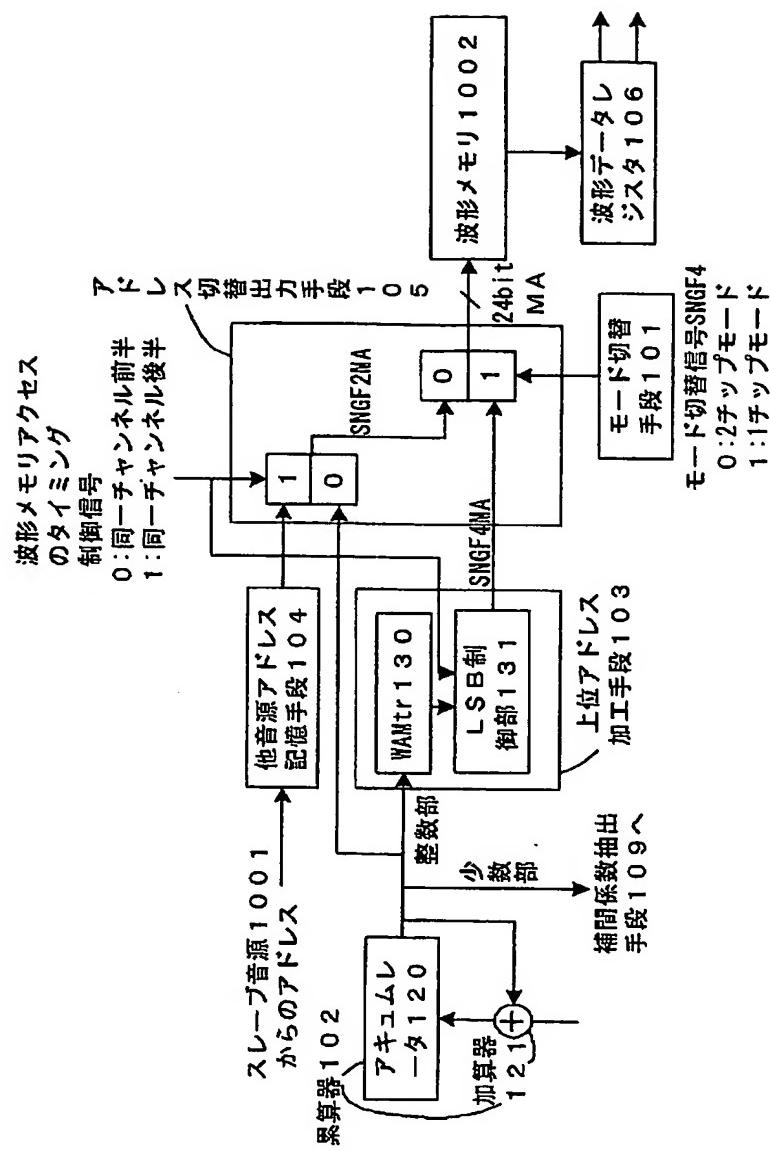
[図2]



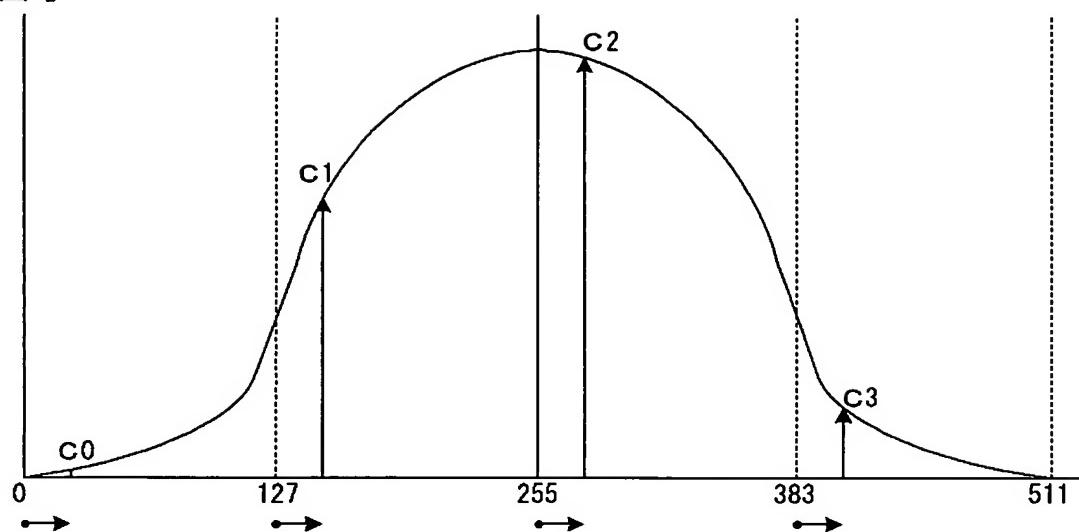
[図3]



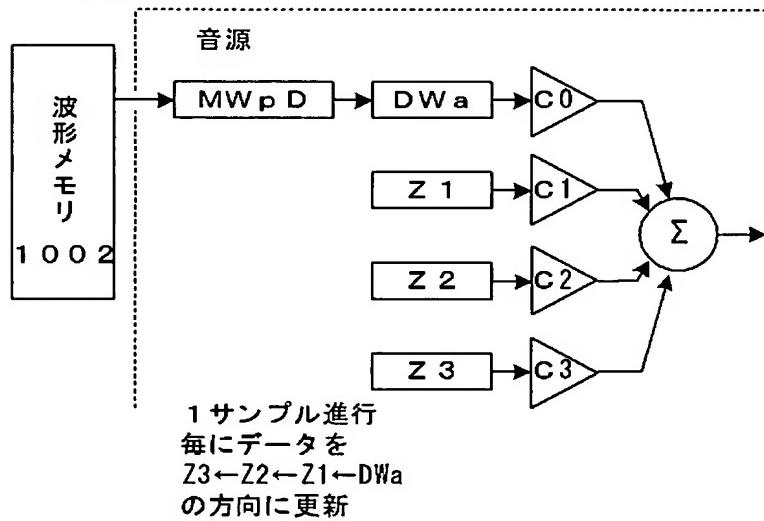
[図4]



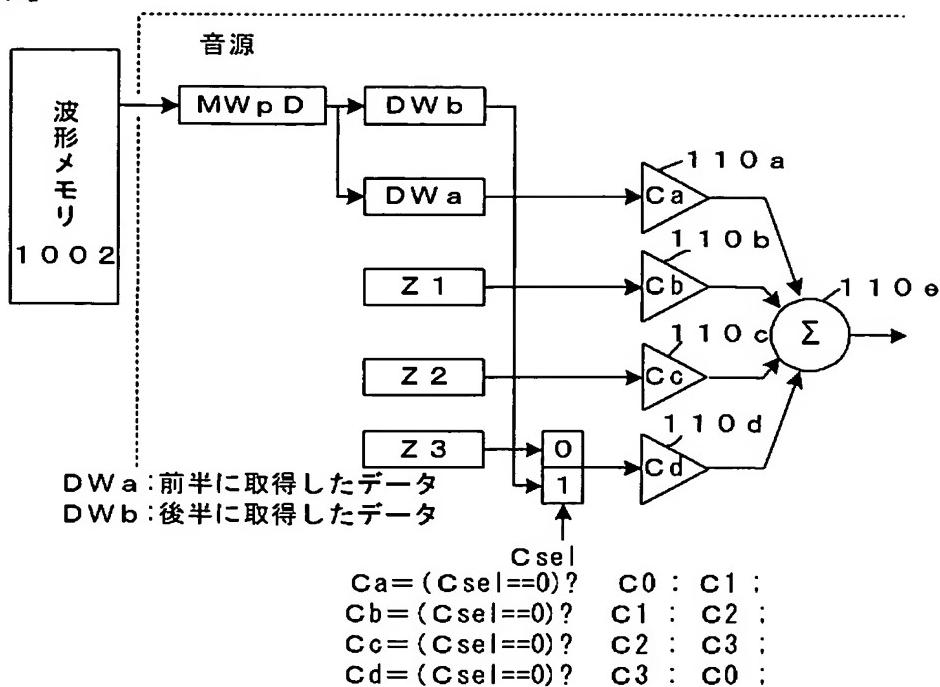
[図5]



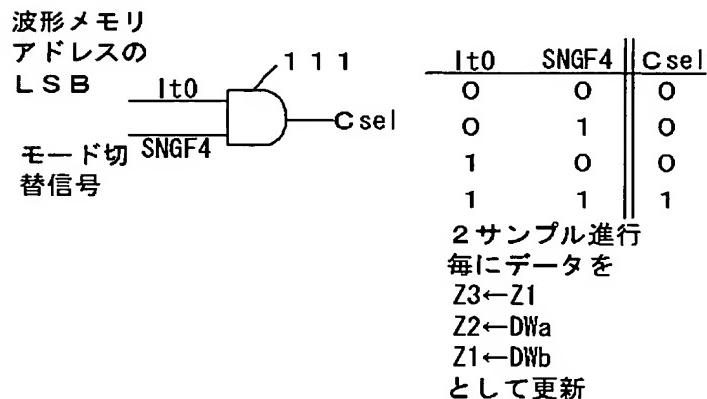
[図6]



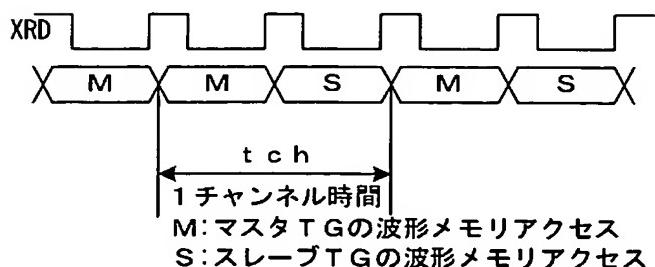
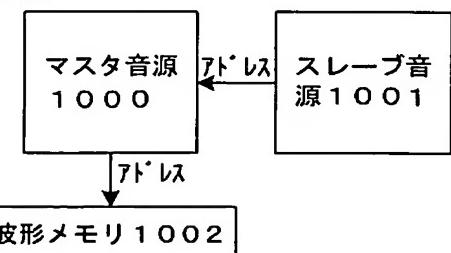
[図7]



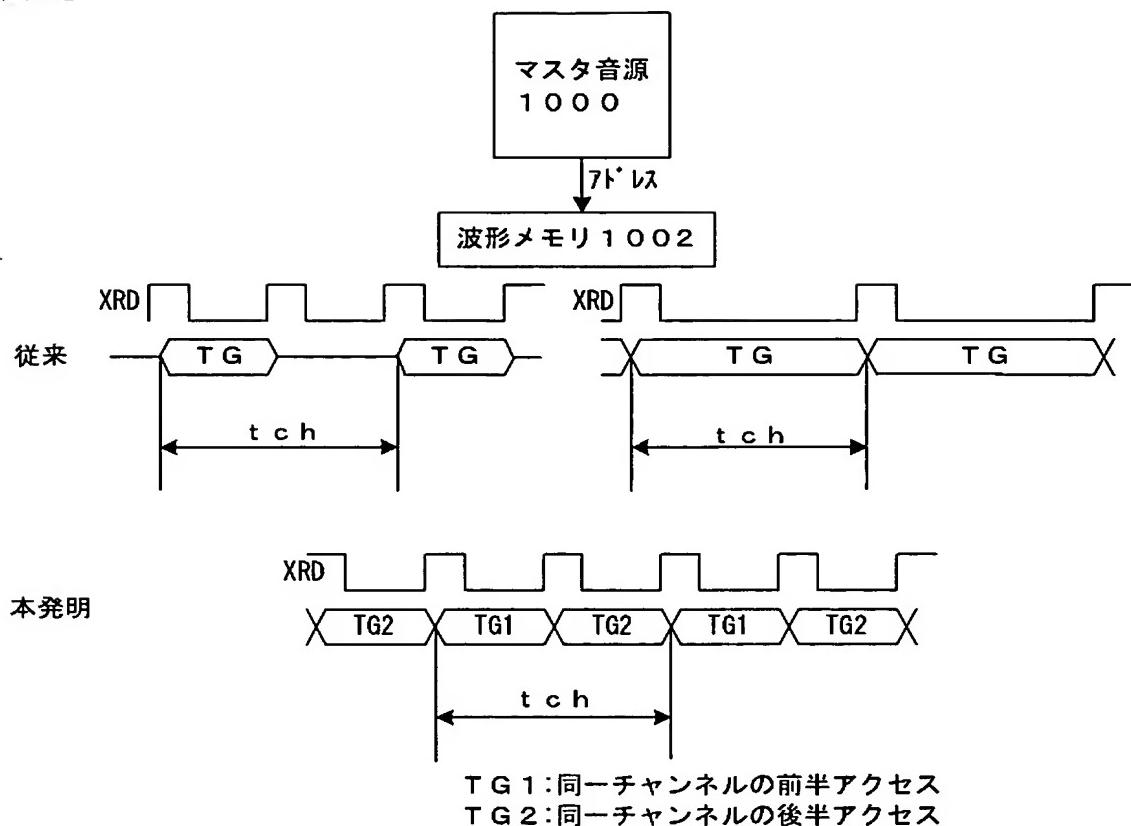
[図8]



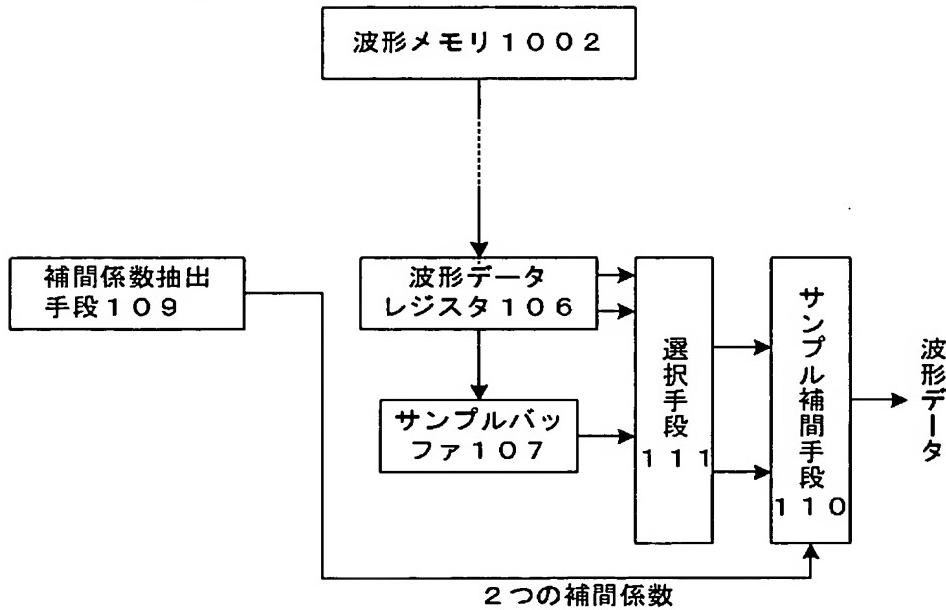
[図9]



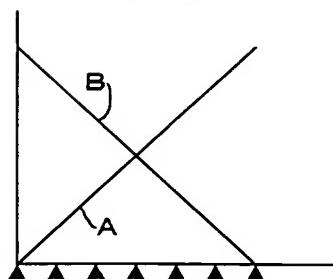
[図10]



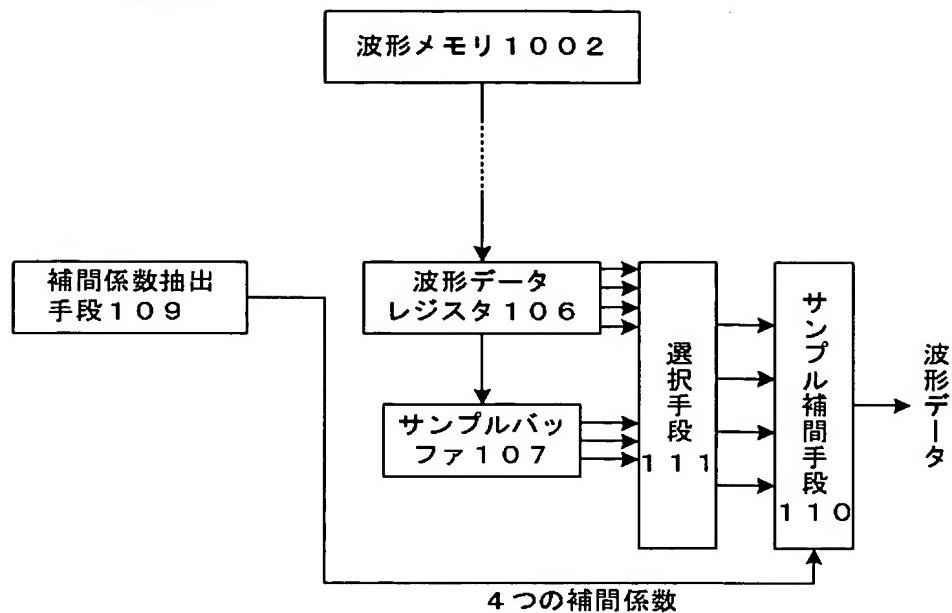
[図11]



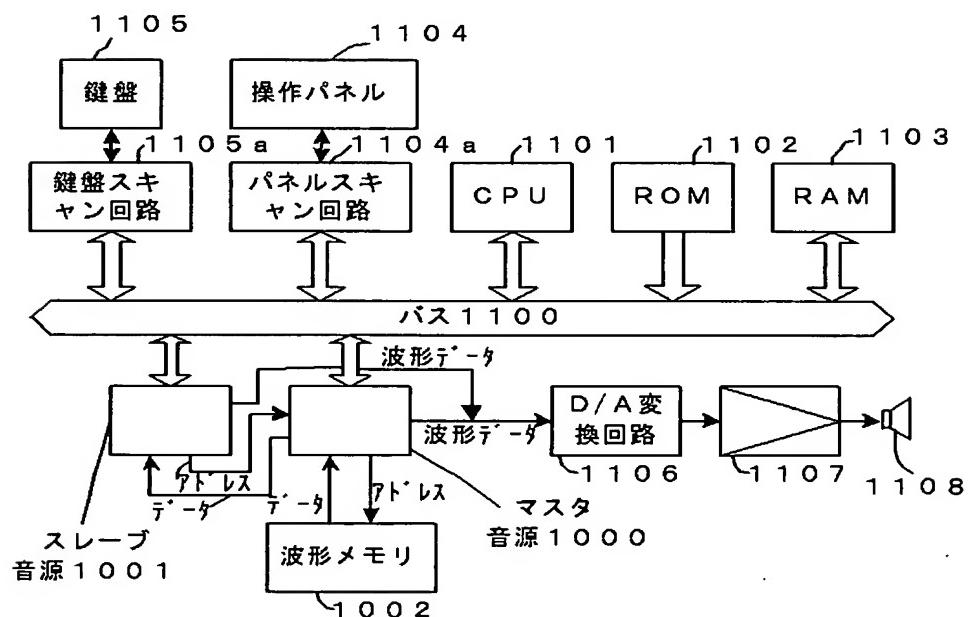
[図12]



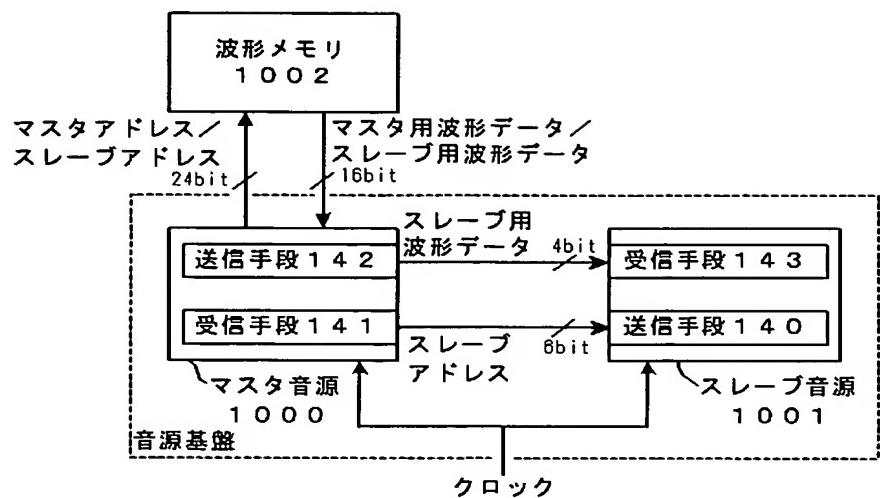
[図13]



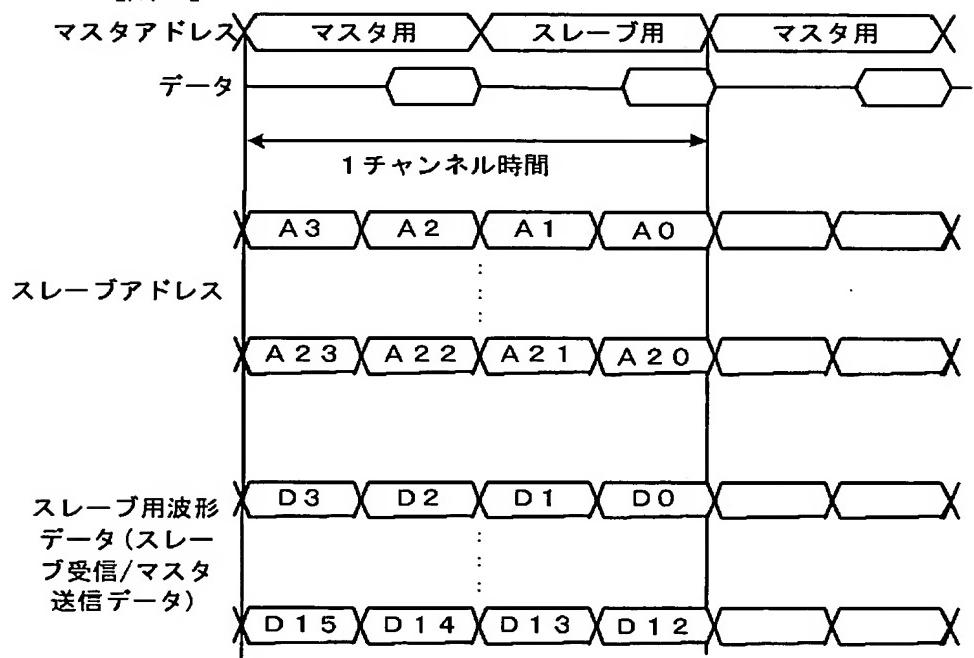
[図14]



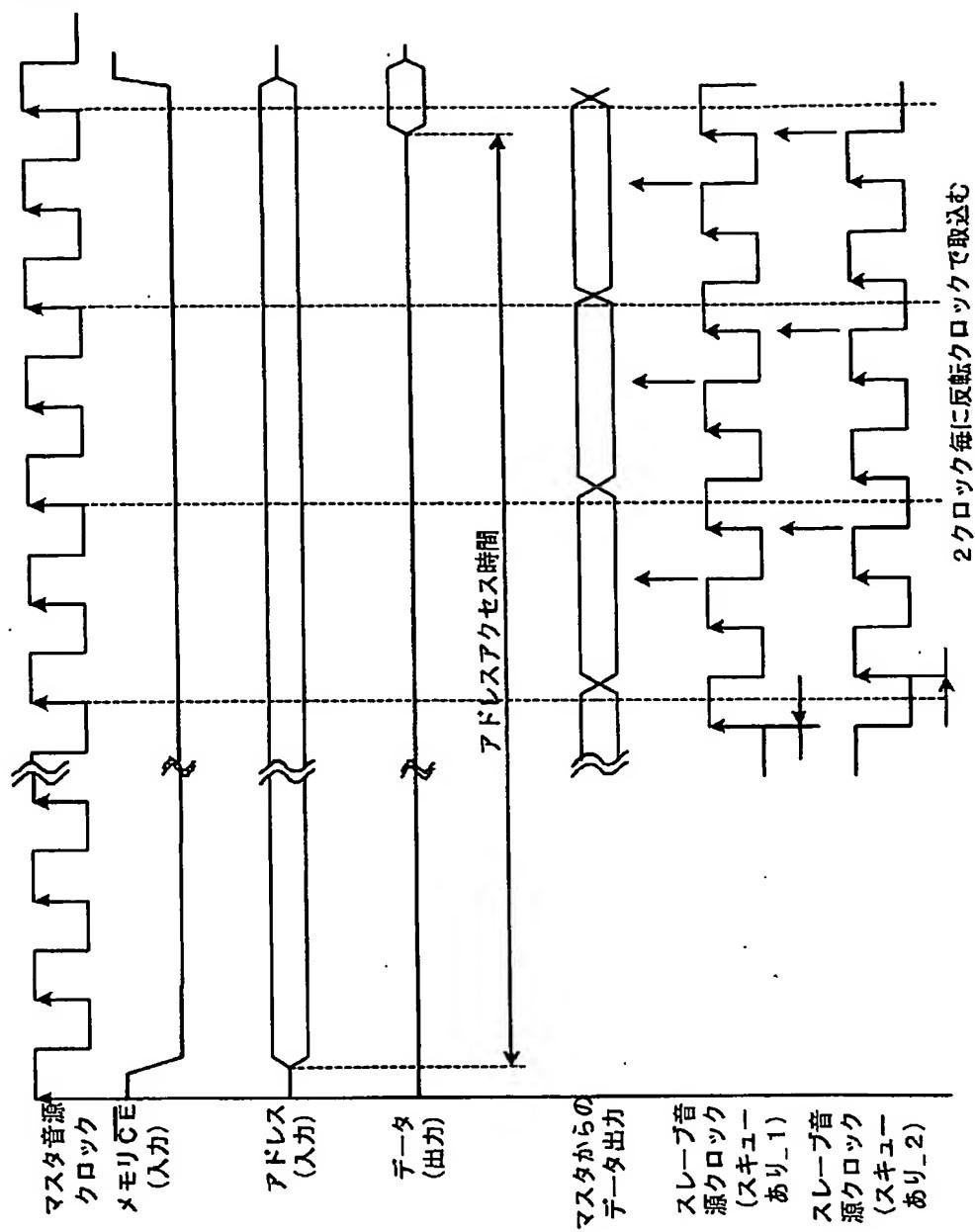
[図15]



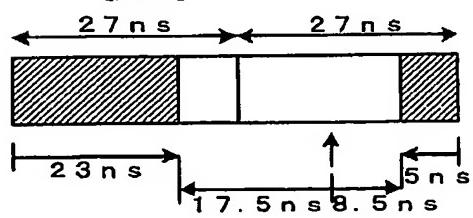
[図16]



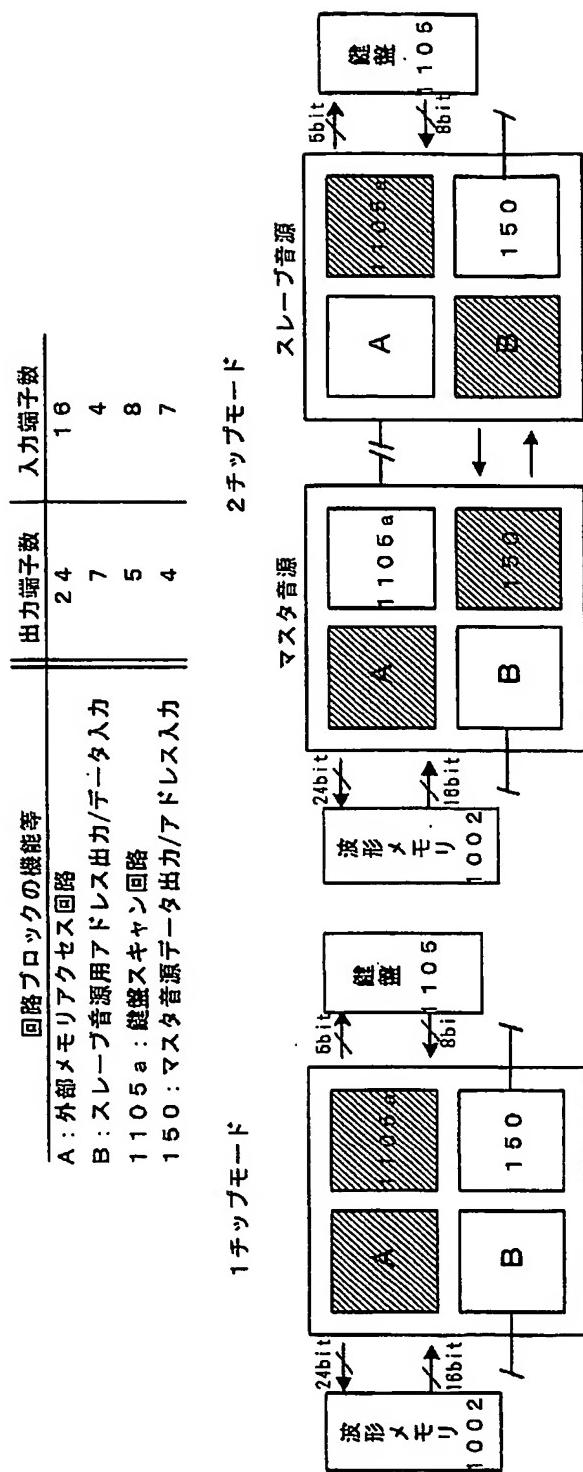
[図17]



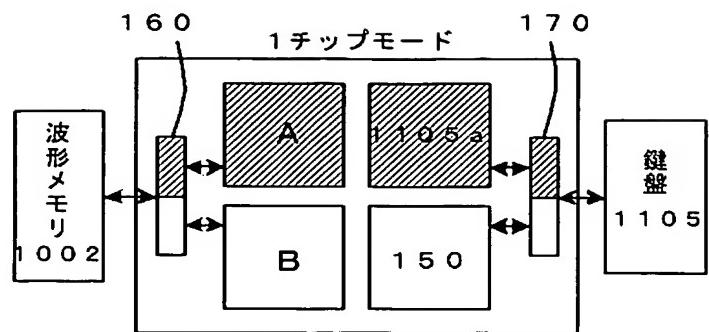
[図18]



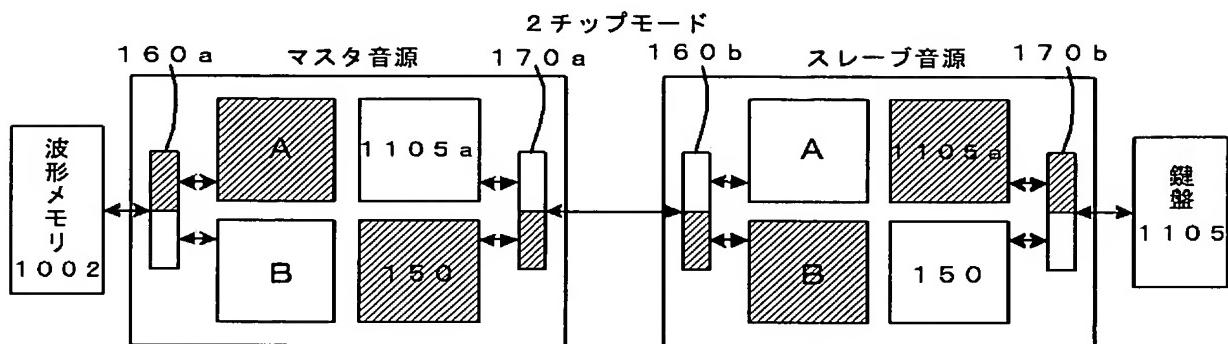
[図19]



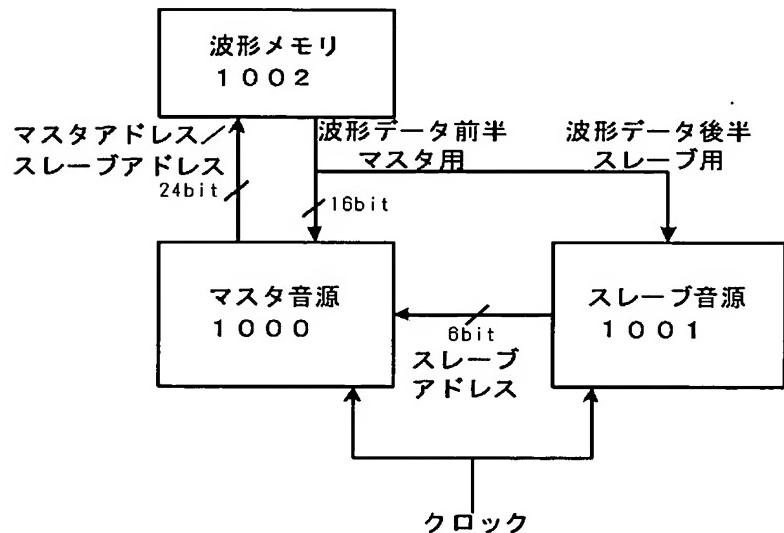
[図20]



[図21]

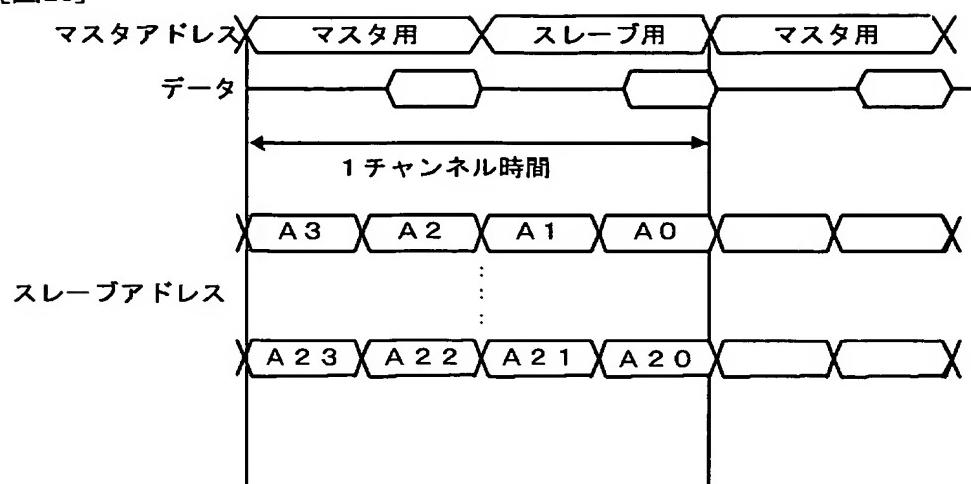


[図22]

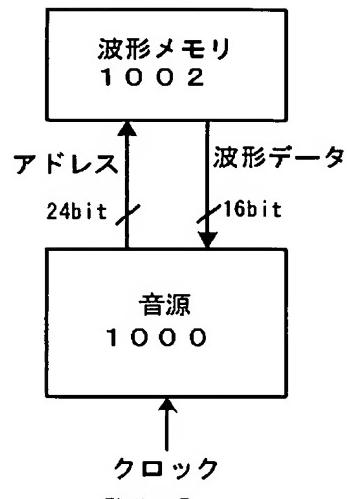


13/14

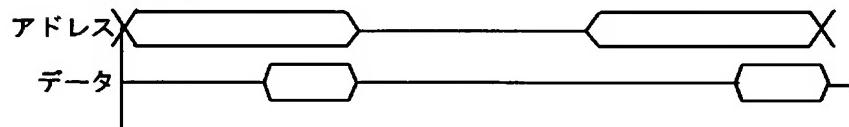
[図23]



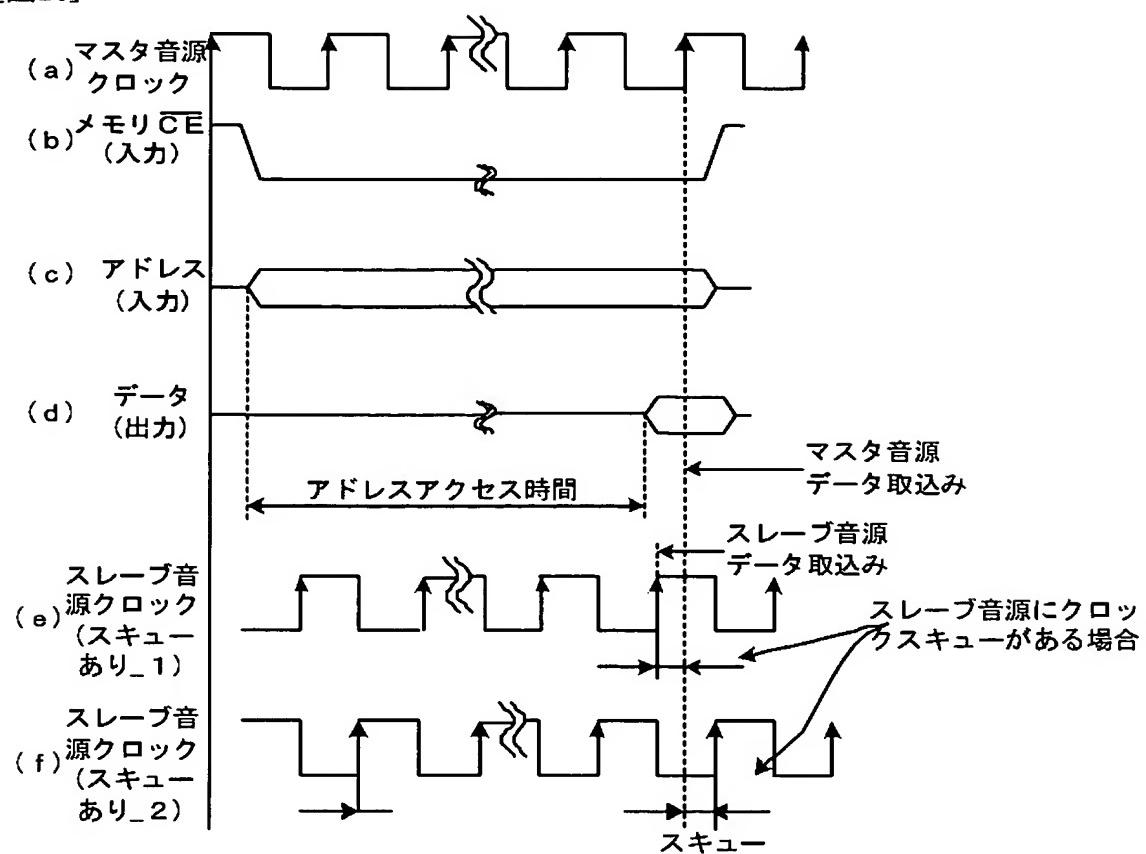
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017685

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ G10H7/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ G10H7/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-237885 A (Yamaha Corp.), 31 August, 1999 (31.08.99), Full text; all drawings & US 5625158 A	1-4
A	JP 9-146551 A (Yamaha Corp.), 06 June, 1997 (06.06.97), Full text; all drawings (Family: none)	1-4
A	JP 11-109974 A (Kawai Musical Inst. Mfg. Co., Ltd.), 23 April, 1999 (23.04.99), Full text; all drawings (Family: none)	1-4

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
22 February, 2005 (22.02.05)Date of mailing of the international search report
08 March, 2005 (08.03.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017685

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-282270 A (Yamaha Corp.), 07 October, 1994 (07.10.94), Full text; all drawings & US 5442127 A	1-4
A	JP 5-289660 A (Casio Computer Co., Ltd.), 05 November, 1993 (05.11.93), Full text; all drawings & US 5541360 A	1-4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017685

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1, 2 have "a special technical feature" that the musical sound generation device has a single sound source use mode and a multi-use mode, the address to be outputted is selected according to the mode, and the waveform sample data read out by the address is interpolated and outputted (the claims do not contain the description of paragraph [0018] in the detailed description of the invention, i.e., when set to the single sound source mode, an access timing of the other sound source not used is assigned as an access timing of the sound source used).

(Continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017685

Continuation of Box No.III of continuation of first sheet(2)

On the other hand, the inventions of claims 3, 4 have "a special technical feature" that each sound generation device includes a master sound source and a slave sound source and at the latter half of the one-channel operation time in the master sound source, an address output and waveform data acquisition are performed for the slave sound source.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' G10H7/02

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1' G10H7/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-237885 A (ヤマハ株式会社) 1999.08.31, 全文, 全図 & US 5625158 A	1-4
A	JP 9-146551 A (ヤマハ株式会社) 1997.06.06, 全文, 全図 (ファミリーなし)	1-4
A	JP 11-109974 A (株式会社河合楽器製作所) 1999.04.23, 全文, 全図 (ファミリーなし)	1-4

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

22.02.2005

国際調査報告の発送日

08.3.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

小宮 慎司

5C 9567

電話番号 03-3581-1101 内線 3539

C (続き)	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 6-282270 A (ヤマハ株式会社) 1994. 10. 07, 全文, 全図 & US 5442127 A	1-4
A	JP 5-289660 A (カシオ計算機株式会社) 1993. 11. 05, 全文, 全図 & US 5541360 A	1-4

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT第17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1, 2に係る発明の「特別な技術的特徴」は、楽音発生装置に音源単体使用モードと複数使用モードがあり、モードに応じて出力するアドレスを選択し、アドレスによって読み出された波形サンプルデータを補間して出力することに関するものである（発明の詳細な説明〔0018〕に記載された、音源単体使用モードに設定されている場合に、使用されていない他の音源のアクセスタイミングを、使用している音源のアクセスタイミングとして割り当てるとは、請求の範囲に記載されていない）。

一方、請求の範囲3, 4に係る発明の「特別な技術的特徴」は、各音発生装置がマスター音源とスレーブ音源とを備え、マスター音源において1チャンネルの演算時間の後半に、スレーブ音源用のアドレス出力及び波形データ取得を行うことに関するものである。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかった。